

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 2 5 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 8 2 9 6 5
Application Number:

[ST. 10/C] : [J P 2 0 0 3 - 0 8 2 9 6 5]

出 願 人 セイコーエプソン株式会社
Applicant(s):

2 0 0 3 年 1 2 月 1 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 J0098324

【提出日】 平成15年 3月25日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 23/00

【発明の名称】 半導体装置の製造方法、半導体装置、及び電子機器

【請求項の数】 19

【発明者】

【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

【氏名】 松尾 剛秀

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100089037

【弁理士】

【氏名又は名称】 渡邊 隆

【代理人】

【識別番号】 100064908

【弁理士】

【氏名又は名称】 志賀 正武

【選任した代理人】

【識別番号】 100110364

【弁理士】

【氏名又は名称】 実広 信哉

【手数料の表示】

【予納台帳番号】 008707

【納付金額】 21,000円

【提出物件の目録】**【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 9910485**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法、半導体装置、及び電子機器

【特許請求の範囲】

【請求項 1】 電子回路が形成された能動面を有する基板の当該能動面側の一部に、幅が全体に亘って開口部の幅とほぼ同一の孔部を形成する孔部形成工程と、

前記孔部における底面の幅を前記開口部の幅とほぼ同一に保ったまま、当該底面を曲面にする曲面形成工程と、

前記孔部に金属を埋め込んで前記電子回路の外部電極となる接続端子を形成する接続端子形成工程と、

前記基板の裏面に対して処理を行い、前記接続端子の一部を露出させる露出工程と

を含むことを特徴とする半導体装置の製造方法。

【請求項 2】 前記曲面形成工程は、等方的エッチングにより前記孔部の前記底面を略半球状の曲面にする工程であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】 前記露出工程は、前記接続端子の形状を変えことなく前記接続端子の一部を露出させる工程であることを特徴とする請求項 1 又は請求項 2 記載の半導体装置の製造方法。

【請求項 4】 前記曲面形成工程と前記接続端子形成工程との間に、前記孔部の内壁及び前記底面に絶縁膜を形成する絶縁膜形成工程を含み、

前記露出工程は、前記基板の厚みが前記接続端子の埋め込み深さより僅かに厚い程度になるまで前記基板の裏面をエッチングする第 1 エッチング工程と、

前記第 1 エッチング工程におけるエッチング率よりも低いエッチング率で前記基板の裏面をエッチングして前記孔部内に形成された前記絶縁膜を露出させる第 2 エッチング工程と、

露出した絶縁膜の少なくとも一部をエッチングして前記接続端子を露出させる第 3 エッチング工程と

を含むことを特徴とする請求項 1 から請求項 3 の何れか一項に記載の半導体装

置の製造方法。

【請求項 5】 電子回路が形成された能動面を有する基板の当該能動面側の一部に凹凸形状を形成する凹凸形成工程と、

前記凹凸形状が形成された領域を穿孔して、幅が全体に亘って前記凹凸形状が形成された領域の幅とほぼ同一であって、底面の形状が前記凹凸形状とほぼ同一である孔部を形成する孔形成工程と、

前記孔部に金属を埋め込んで前記電子回路の外部電極となる接続端子を形成する接続端子形成工程と、

前記基板の裏面に対して処理を行い、前記接続端子の一部を露出させる露出工程と

を含むことを特徴とする半導体装置の製造方法。

【請求項 6】 前記露出工程は、前記接続端子の形状を変えることなく前記接続端子の一部を露出させる工程であることを特徴とする請求項 5 記載の半導体装置の製造方法。

【請求項 7】 前記孔形成工程と前記接続端子形成工程との間に、前記孔部の内壁及び前記底面に絶縁膜を形成する絶縁膜形成工程を含み、

前記露出工程は、前記基板の厚みが前記接続端子の埋め込み深さより僅かに厚い程度になるまで前記基板の裏面をエッチングする第 1 エッチング工程と、

前記第 1 エッチング工程におけるエッチング率よりも低いエッチング率で前記基板の裏面をエッチングして前記孔部内に形成された前記絶縁膜を露出させる第 2 エッチング工程と、

露出した絶縁膜の少なくとも一部をエッチングして前記接続端子を露出させる第 3 エッチング工程と

を含むことを特徴とする請求項 5 又は請求項 6 記載の半導体装置の製造方法。

【請求項 8】 電子回路が形成された能動面を有する基板の当該能動面側の一部に設定された孔形成領域に複数の孔を有するマスクを形成するマスク形成工程と、

前記基板の面方向に僅かに広がる穿孔方法で前記マスクに形成された孔の各々から前記基板を穿孔することで、幅が全体に亘って前記孔形成領域の幅とほぼ同

一であって、底面の形状が凹凸形状である孔部を形成する凹凸孔形成工程と、
前記孔部に金属を埋め込んで前記電子回路の外部電極となる接続端子を形成する接続端子形成工程と、
前記基板の裏面に対して処理を行い、前記接続端子の一部を露出させる露出工程と
を含むことを特徴とする半導体装置の製造方法。

【請求項 9】 前記露出工程は、前記接続端子の形状を変えことなく前記接続端子の一部を露出させる工程であることを特徴とする請求項 8 記載の半導体装置の製造方法。

【請求項 10】 前記凹凸孔形成工程と前記接続端子形成工程との間に、前記孔部の内壁及び前記底面に絶縁膜を形成する絶縁膜形成工程を含み、

前記露出工程は、前記基板の厚みが前記接続端子の埋め込み深さより僅かに厚い程度になるまで前記基板の裏面をエッチングする第 1 エッチング工程と、

前記第 1 エッチング工程におけるエッチング率よりも低いエッチング率で前記基板の裏面をエッチングして前記孔部内に形成された前記絶縁膜を露出させる第 2 エッチング工程と、

露出した絶縁膜の少なくとも一部をエッチングして前記接続端子を露出させる第 3 エッチング工程と

を含むことを特徴とする請求項 8 又は請求項 9 記載の半導体装置の製造方法。

【請求項 11】 請求項 1 記載から請求項 10 の何れか一項に記載の半導体装置の製造方法により製造された半導体装置を個々の半導体チップに切断する切断工程と、

同種の前記半導体チップ又は異種の前記半導体チップを積層する積層工程と、
積層した前記半導体チップに形成されている前記接続端子同士を接合する端子接合工程と

を含むことを特徴とする半導体装置の製造方法。

【請求項 12】 請求項 1 記載から請求項 10 の何れか一項に記載の半導体装置の製造方法により製造された半導体装置を個々の半導体チップに切断する切断工程と、

同種の前記半導体チップ又は異種の前記半導体チップを、接続部が形成された基板上に1つ又は複数搭載する搭載工程と、

前記積層した前記半導体チップに形成されている前記接続端子同士及び前記接続部と前記接続端子とを接合する接合工程と

を含むことを特徴とする半導体装置の製造方法。

【請求項13】 請求項1から請求項12の何れか一項に記載の半導体装置の製造方法により製造されたことを特徴とする半導体装置。

【請求項14】 電子回路が形成された能動面を有する薄板化された基板と

、
前記能動面側から裏面側へ前記基板を貫通して形成され、前記電子回路の外部電極となる接続端子とを備え、

前記基板の前記裏面側における前記接続端子の先端部は、曲面形状であることを特徴とする半導体装置。

【請求項15】 前記接続端子の先端部は、略半球状の曲面形状であることを特徴とする請求項14記載の半導体装置。

【請求項16】 前記接続端子の先端部は、凹凸形状であることを特徴とする請求項14記載の半導体装置。

【請求項17】 請求項14から請求項16の何れか一項に記載の半導体装置が複数積層され、前記接続端子同士が接合されたことを特徴とする半導体装置。

【請求項18】 接続部が形成された搭載基板と、
前記搭載基板上に搭載された1つ又は複数の請求項13から請求項16の何れか一項に記載の半導体装置とを備え、

前記接続端子同士及び前記接続部と前記接続端子とが接合されていることを特徴とする半導体装置。

【請求項19】 請求項13から請求項18の何れか一項に記載の半導体装置を備えることを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法、半導体装置、及び当該半導体装置を備える電子機器に関する。

【0002】**【従来の技術】**

現在、携帯電話機、ノート型パーソナルコンピュータ、PDA (Personal data assistance) 等の携帯性を有する電子機器、センサ、マイクロマシン、及びプリンタのヘッド等の機器の小型・軽量化を図るため、その内部に設けられる半導体チップ等の各種の電子部品を小型化する研究・開発が盛んに行われている。また、上記の電子機器は付加価値を高めるため高機能化が図られており内部に設けられる電子部品も高機能化及び高速化が要求されている。

【0003】

高機能を有する電子部品の一つとしてシステムLSI (Large Scale Integration) があるが、システムLSIを製品化するには時間を要するため近年の電子機器の開発サイクルに間に合わない状況も生じつつある。そこで、システムLSIが有する複数の機能のうちの各々の機能を1つのIC (Integrated Circuit) に持たせ、これらのICを組み合わせて1つのパッケージングのシステムLSIを実現するSIP (System In Package) 技術が案出されている。

【0004】

SIP技術においては三次元的に複数のICを積層することで高集積化を図っているが、積層されたICをシステムLSIとして機能させるには各々の電氣的接続を取る必要がある。従来は各ICに形成された電極をワイヤーボンディング技術を用いて電氣的に接続していたが、ワイヤーボンディングによる接続では配線長が長くなるとともに、パッケージングの小型化に限度がある。

【0005】

このため、ICの裏面に対してエッチング処理又は研磨処理を行ってICを薄板化するとともに、ICの表面と裏面とを貫通する金属からなる接続端子を形成し、積層するICに形成された接続部を接合することで、IC間の電氣的接続をとる三次元実装技術が案出されてきた。この三次元実装技術の詳細については、

例えば以下の特許文献 1 を参照されたい。

【0006】

【特許文献 1】

特開 2001-44197 号公報

【0007】

【発明が解決しようとする課題】

ところで、上述した三次元実装技術を用いて IC を積層して製造される電子部品は最終的には封止樹脂にて封止されており、ある程度の信頼性を確保することはできる。しかしながら、電子部品が携帯性を有する電子機器に搭載される場合には、外部からの強い振動及び衝撃が加わることが想定されるため、より高い堅牢性を確保する必要がある。

【0008】

電子部品の更なる信頼性の向上を図るためには各 IC に形成された接続端子間の接合強度を高める必要がある。三次元実装技術を用いて製造された従来の電子部品は、IC に形成された接続端子の先端部（他の IC と接合される部分）が通常平坦な形状になってる。このため、積層された IC の接続端子間は二次元的に接合された状態であるため、接合強度が低く信頼性が低いという問題があった。

【0009】

本発明は上記事情に鑑みてなされたものであり、積層された半導体チップの接合強度が高く、これにより高い信頼性を確保することができる半導体装置の製造方法及び半導体装置、並びに当該半導体装置を備える電子機器を提供することを目的とする。

【0010】

【課題を解決するための手段】

上記課題を解決するために、本発明の第 1 の観点による半導体装置の製造方法は、電子回路が形成された能動面を有する基板の当該能動面側の一部に、幅が全体に亘って開口部の幅とほぼ同一の孔部を形成する孔部形成工程と、前記孔部における底面の幅を前記開口部の幅とほぼ同一に保ったまま、当該底面を曲面にする曲面形成工程と、前記孔部に金属を埋め込んで前記電子回路の外部電極となる

接続端子を形成する接続端子形成工程と、前記基板の裏面に対して処理を行い、前記接続端子の一部を露出させる露出工程とを含むことを特徴としている。

この発明によれば、幅が全体に亘って開口部の幅とほぼ同一の孔部を基板の表面の能動面側の一部に形成し、幅を開口部の幅とほぼ同一に保ったまま孔部の底面に曲面を形成し、この孔部に金属を埋め込んで接続端子を形成し、基板の裏面に対して処理を行って接続端子の一部を露出させているため、露出した接続端子の先端部は孔部に形成された曲面の形状となる。このため、この接続端子の接合面積が増加して接合時の接合強度を高めることができ、高い信頼性を確保することができる。また、底面を曲面にするときに底面の幅を開口部の幅とほぼ同一に保っているため、接続端子の先端部が開口部の幅よりも大幅に大きくなることはなく、接続端子が狭ピッチで配列されている場合であっても本発明を用いることができる。

また、本発明の第1の観点による半導体装置の製造方法は、前記曲面形成工程が、等方的エッチングにより前記孔部の前記底面を略半球状の曲面にする工程であることを特徴としている。

この発明によれば、等方的エッチングにより孔部の底面を略半球状の曲面にしているため、プロセス工程を複雑にすることなく簡単な工程を追加するだけで孔部の底部を曲面にすることができる。

また、本発明の第1の観点による半導体装置の製造方法は、前記露出工程が、前記接続端子の形状を変えることなく前記接続端子の一部を露出させる工程であることを特徴としている。

この発明によれば、孔部に形成された接続端子の形状を変えることなく接続端子の一部を露出させているため、基板の裏面に対する処理により接続端子の先端部における曲面の面積が減少することはなく接合時に高い接合強度を得ることができる。

また、本発明の第1の観点による半導体装置の製造方法は、前記曲面形成工程と前記接続端子形成工程との間に、前記孔部の内壁及び前記底面に絶縁膜を形成する絶縁膜形成工程を含み、前記露出工程は、前記基板の厚みが前記接続端子の埋め込み深さより僅かに厚い程度になるまで前記基板の裏面をエッチングする第

1 エッチング工程と、前記第 1 エッチング工程におけるエッチング率よりも低いエッチング率で前記基板の裏面をエッチングして前記孔部内に形成された前記絶縁膜を露出させる第 2 エッチング工程と、露出した絶縁膜の少なくとも一部をエッチングして前記接続端子を露出させる第 3 エッチング工程とを含むことを特徴としている。

この発明によれば、第 1 エッチング工程において高いエッチング率でエッチングを行い、第 2 エッチング工程において低い低エッチング率でエッチングを行っているため、基板の裏面のエッチングに要する時間を短縮することができるとともに、薄板化した基板の厚み。基板の裏面からの接続端子の突出量を精確に調整することができる。また、孔部の内壁及び底面に絶縁膜を形成した後で接続端子を形成しているため、電流リーク等の不具合を防止することができる

上記課題を解決するために、本発明の第 2 の観点による半導体装置の製造方法は、電子回路が形成された能動面を有する基板の当該能動面側の一部に凹凸形状を形成する凹凸形成工程と、前記凹凸形状が形成された領域を穿孔して、幅が全体に亘って前記凹凸形状が形成された領域の幅とほぼ同一であって、底面の形状が前記凹凸形状とほぼ同一である孔部を形成する孔形成工程と、前記孔部に金属を埋め込んで前記電子回路の外部電極となる接続端子を形成する接続端子形成工程と、前記基板の裏面に対して処理を行い、前記接続端子の一部を露出させる露出工程とを含むことを特徴としている。

この発明によれば、基板の能動面の一部に凹凸形状を形成し、当該箇所の幅とほぼ同一の幅を保ったまま当該箇所を穿孔することで幅が全体に亘って凹凸形状が形成された領域の幅とほぼ同一であって、底面の形状が前記凹凸形状とほぼ同一である孔部を形成し、この孔部に金属を埋め込んで接続端子を形成し、基板の裏面に対して処理を行って接続端子の一部を露出させているため、露出した接続端子の先端部は孔部の底面に形成された凹凸形状となる。このため、この接続端子の接合面積が増加して接合時の接合強度を高めることができ、高い信頼性を確保することができる。また、接続端子はその幅を全体に亘って基板表面に凹凸を形成した領域の幅とほぼ同一であるため、接続端子の先端部が開口部の幅よりも大幅に大きくなることはなく、接続端子が狭ピッチで配列されている場合であっ

ても本発明を用いることができる。

また、本発明の第2の観点による半導体装置の製造方法は、前記露出工程が、前記接続端子の形状を変えることなく前記接続端子の一部を露出させる工程であることを特徴としている。

この発明によれば、孔部に形成された接続端子の形状を変えることなく接続端子の一部を露出させているため、基板の裏面に対する処理により接続端子の先端部における曲面の面積が減少することではなく接合時に高い接合強度を得ることができる。

また、本発明の第2の観点による半導体装置の製造方法は、前記孔形成工程と前記接続端子形成工程との間に、前記孔部の内壁及び前記底面に絶縁膜を形成する絶縁膜形成工程を含み、前記露出工程は、前記基板の厚みが前記接続端子の埋め込み深さより僅かに厚い程度になるまで前記基板の裏面をエッチングする第1エッチング工程と、前記第1エッチング工程におけるエッチング率よりも低いエッチング率で前記基板の裏面をエッチングして前記孔部内に形成された前記絶縁膜を露出させる第2エッチング工程と、露出した絶縁膜の少なくとも一部をエッチングして前記接続端子を露出させる第3エッチング工程とを含むことを特徴としている。

この発明によれば、第1エッチング工程において高いエッチング率でエッチングを行い、第2エッチング工程において低い低エッチング率でエッチングを行っているため、基板の裏面のエッチングに要する時間を短縮することができるとともに、薄板化した基板の厚み。基板の裏面からの接続端子の突出量を精確に調整することができる。また、孔部の内壁及び底面に絶縁膜を形成した後で接続端子を形成しているため、電流リーク等の不具合を防止することができる。

上記課題を解決するために、本発明の第3の観点による半導体装置の製造方法は、電子回路が形成された能動面を有する基板の当該能動面側の一部に設定された孔形成領域に複数の孔を有するマスクを形成するマスク形成工程と、前記基板の面方向に僅かに広がる穿孔方法で前記マスクに形成された孔の各々から前記基板を穿孔することで、幅が全体に亘って前記孔形成領域の幅とほぼ同一であって、底面の形状が凹凸形状である孔部を形成する凹凸孔形成工程と、前記孔部に金

属を埋め込んで前記電子回路の外部電極となる接続端子を形成する接続端子形成工程と、前記基板の裏面に対して処理を行い、前記接続端子の一部を露出させる露出工程とを含むことを特徴としている。

この発明によれば、能動面の一部に設定された孔形成領域に複数の孔を有するマスクを形成し、マスクの各々の孔から基板の面方向に僅かに広がる穿孔方向で基板を穿孔することで最終的に幅が全体に亘って孔形成領域の幅とほぼ同一であって底面の形状が凹凸である1つの孔部を形成し、この孔部に金属を埋め込んで接続端子を形成し、基板の裏面に対して処理を行って接続端子の一部を露出させているため、露出した接続端子の先端部は孔部の底面に形成された凹凸形状となる。このため、この接続端子の接合面積が増加して接合時の接合強度を高めることができ、高い信頼性を確保することができる。また、接続端子はその幅を全体に亘って孔形成領域の幅とほぼ同一であるため、接続端子の先端部が開口部の幅よりも大幅に大きくなることはなく、接続端子が狭ピッチで配列されている場合であっても本発明を用いることができる。

また、本発明の第3の観点による半導体装置の製造方法は、前記露出工程が、前記接続端子の形状を変えことなく前記接続端子の一部を露出させる工程であることを特徴としている。

この発明によれば、孔部に形成された接続端子の形状を変えことなく接続端子の一部を露出させているため、基板の裏面に対する処理により接続端子の先端部における曲面の面積が減少することなく接合時に高い接合強度を得ることができる。

また、本発明の第3の観点による半導体装置の製造方法は、前記凹凸孔形成工程と前記接続端子形成工程との間に、前記孔部の内壁及び前記底面に絶縁膜を形成する絶縁膜形成工程を含み、前記露出工程は、前記基板の厚みが前記接続端子の埋め込み深さより僅かに厚い程度になるまで前記基板の裏面をエッチングする第1エッチング工程と、前記第1エッチング工程におけるエッチング率よりも低いエッチング率で前記基板の裏面をエッチングして前記孔部内に形成された前記絶縁膜を露出させる第2エッチング工程と、露出した絶縁膜の少なくとも一部をエッチングして前記接続端子を露出させる第3エッチング工程とを含むことを特

徴としている。

この発明によれば、第1エッチング工程において高いエッチング率でエッチングを行い、第2エッチング工程において低い低エッチング率でエッチングを行っているため、基板の裏面のエッチングに要する時間を短縮することができるとともに、薄板化した基板の厚み。基板の裏面からの接続端子の突出量を精確に調整することができる。また、孔部の内壁及び底面に絶縁膜を形成した後で接続端子を形成しているため、電流リーク等の不具合を防止することができる

上記課題を解決するために、本発明の第4の観点による半導体装置の製造方法は、上記の何れかに記載の半導体装置の製造方法により製造された半導体装置を個々の半導体チップに切断する切断工程と、同種の前記半導体チップ又は異種の前記半導体チップを積層する積層工程と、積層した前記半導体チップに形成されている前記接続端子同士を接合する端子接合工程とを含むことを特徴としている。

この発明によれば、接続端子の先端部の形状が曲面又は凹凸形状である半導体装置を個々の半導体チップに分離し、同種又は異種の半導体チップを積層して半導体チップに形成されている接続端子同士を接合しているため、積層された半導体チップの接合強度を高めることができる。この結果、高い信頼性を有する三次元実装構造の半導体装置を製造することができる。

上記課題を解決するために、本発明の第5の観点による半導体装置の製造方法は、上記の何れかに記載の半導体装置の製造方法により製造された半導体装置を個々の半導体チップに切断する切断工程と、同種の前記半導体チップ又は異種の前記半導体チップを、接続部が形成された基板上に1つ又は複数搭載する搭載工程と、前記積層した前記半導体チップに形成されている前記接続端子同士及び前記接続部と前記接続端子とを接合する接合工程とを含むことを特徴としている。

この発明によれば、接続端子の先端部の形状が曲面又は凹凸形状である半導体装置を個々の半導体チップに分離し、同種又は異種の半導体チップを搭載基板上に搭載して半導体チップに形成されている接続端子同士及び半導体チップに形成されている接続端子と搭載基板に形成されている接続部とを接合しているため、積層された半導体チップの接合強度及び半導体チップと搭載基板との接合強度を

を高めることができる。この結果、高い信頼性を有する三次元実装構造の半導体装置を製造することができる。

本発明の半導体装置は、上記の何れかに記載の半導体装置の製造方法により製造されたことを特徴としている。

また、上記課題を解決するために、本発明の半導体装置は、電子回路が形成された能動面を有する薄板化された基板と、前記能動面側から裏面側へ前記基板を貫通して形成され、前記電子回路の外部電極となる接続端子とを備え、前記基板の前記裏面側における前記接続端子の先端部は、曲面形状であることを特徴としている。

この発明によれば、基板を貫通して接続端子が形成されており、基板の裏面側における接続端子の先端部の形状が曲面形状であるため、接続端子の接合面積を増大させることができる。

ここで、本発明の半導体装置は、前記接続端子の先端部が、略半球状の曲面形状であるか、又は、凹凸形状であることが好適である。

また、本発明の半導体装置は、上記の何れかに記載の半導体装置が複数積層され、前記接続端子同士が接合されたことを特徴としている。

この発明によれば、半導体装置が複数積層されて接合面積が増大された接続端子同士が接合されているため接合強度を高くすることができ、三次元実装構造の信頼性を高めることができる。

また、本発明の半導体装置は、接続部が形成された搭載基板と、前記搭載基板上に搭載された1つ又は複数の上記の何れかに記載の半導体装置とを備え、前記接続端子同士及び前記接続部と前記接続端子とが接合されていることを特徴としている。

この発明によれば、搭載基板上に半導体装置が複数積層されて接合面積が増大された接続端子同士及び接合面積が増大された接続端子と搭載基板に形成された接続部とが接合されているため接合強度を高くすることができ、三次元実装構造の信頼性を高めることができる。

本発明の電子機器は、上記の何れかに記載の半導体装置をを備えることを特徴としている。

【0011】

【発明の実施の形態】

以下、図面を参照して本発明の一実施形態による半導体装置の製造方法、半導体装置、及び電子機器について詳細に説明する。

【0012】

〔第1実施形態による半導体装置の製造方法〕

図1～図6は、本発明の第1実施形態による半導体装置の製造方法を示す工程図である。図1(a)は、ウェハ状態にある処理対象の基板の一部を示す断面図である。基板10は、例えばSi(シリコン)基板であり、その能動面10a側にトランジスタ、メモリ素子、その他の電子素子、並びに電気配線(何れも図示省略)及び電子回路の外部電極となる電極パッド14からなる電子回路が形成されている。一方、基板10の裏面10bにはこれらの電子回路は形成されていない。尚、基板10の厚みは、例えば500 μ m程度である。

【0013】

図1(a)に示す通り、基板10上には基板10の基本的な材料であるSiの酸化膜(SiO₂)からなる絶縁膜と硼燐珪酸ガラス(BPSG)からなる層間絶縁膜とを順に形成した絶縁膜12が形成されている。また、絶縁膜12上の一部には、図示しない箇所で基板10の能動面10aに形成された電子回路と電氣的に接続された電極パッド14が形成されている。この電極パッド14は、Ti(チタン)からなる第1層、TiN(窒化チタン)からなる第2層、AlCu(アルミニウム/銅)からなる第3層、及びTiNからなる第4層(キャップ層)を順に積層して形成したものである。尚、電極パッド14の下方には電子回路が形成されていない点に注意されたい。

【0014】

電極パッド14は、例えばスパッタリングにより第1層～第4層からなる積層構造を絶縁膜12上の全面に形成し、レジスト等を用いて所定の形状(例えば、円形状)にパターニングすることにより形成される。尚、本実施形態では、電極パッド14が上記の積層構造により形成されている場合を例に挙げて説明するが、電極パッド14がAlのみで形成されていても良いが、電気抵抗の低い銅を

用いて形成することが好ましい。また、電極パッド14は、上記の構成に限られず、必要とされる電気的特性、物理的特性、及び化学的特性に応じて適宜変更しても良い。

【0015】

また、上記絶縁膜12上には電極パッド14を覆うように、パッシベーション膜16が形成されている。このパッシベーション膜16は、SiO₂（酸化珪素）、SiN（窒化珪素）、ポリイミド樹脂等により形成され、又はSiN上にSiO₂を積層した構成、あるいはその逆であることが好ましい。また、パッシベーション膜16の膜厚は2μm程度以上であって6μm程度以下であることが好ましい。

【0016】

以上の構成の基板に対して、まず能動面10a側に形成された電極パッド14を開口するとともに基板10を穿孔して孔部H3を形成する工程が行われる。まず、スピコート法、ディッピング法、スプレーコート法等の方法によりレジスト（図示省略）を図1（a）に示すパッシベーション膜16上の全面に塗布する。尚、このレジストは、電極パッド14上を覆っているパッシベーション膜16を開口するために用いるものであり、フォトリソ、電子線レジスト、X線レジストの何れであってもよく、ポジ型又はネガ型の何れであってもよい。

【0017】

パッシベーション膜16上にレジストを塗布すると、プリベークを行った後で、所定のパターンが形成されたマスクを用いて露光処理及び現像処理を行い、レジストを所定形状にパターニングする。尚、レジストの形状は、電極パッド14の開孔形状及び基板10に形成する孔の断面形状に応じて設定される。レジストのパターニングが終了すると、ポストベークを行った後で、図1（b）に示すように、電極パッド14を覆うパッシベーション膜16の一部をエッチングして開口部H1を形成する。図1（b）は、パッシベーション膜16を開口して開口部H1を形成した状態を示す断面図である。

【0018】

尚、パッシベーション膜16のエッチングにはドライエッチングを適用するこ

とが好ましい。ドライエッチングは、反応性イオンエッチング（R I E : Reactive Ion Etching）であってもよい。また、パッシベーション膜 16 のエッチングとしてウェットエッチングを適用してもよい。パッシベーション膜 16 に形成される開口部 H 1 の断面形状は、後述する工程で形成される電極パッド 14 の開口形状及び基板 10 に形成される孔の断面形状に応じて設定され、その径は電極パッド 14 に形成される開口の径及び基板 10 に形成される孔の径と同程度、例えば 50 μ m 程度に設定される。

【0019】

以上の工程が終了すると、開口部 H 1 を形成したパッシベーション膜 16 上のレジストをマスクとして、ドライエッチングにより電極パッド 14 を開口する。図 2（a）は、電極パッド 14 を開口して開口部 H 2 を形成した状態を示す断面図である。尚、図 1，図 2 の図中においてレジストは省略してある。図 2（a）に示すように、パッシベーション膜 16 に形成された開口部 H 1 の径と電極パッド 14 に形成された開口部 H 2 の径は同程度となる。尚、ドライエッチングとしては R I E を用いることができる。

【0020】

更に、以上の工程で使用したレジストをマスクとして、次に絶縁膜 12 をエッチングして、図 2（b）に示すように基板 10 を露出させる。図 2（b）は、絶縁膜 12 をエッチングして、基板 10 の一部を露出させた状態を示す断面図である。この後、開口マスクとして使用してきたパッシベーション膜 16 上に形成したレジストを、剥離液或いはアッシング等により剥離する。

【0021】

尚、上記プロセスにおいては、同一のレジストマスクを用いてエッチングを繰り返したが、各エッチング工程終了後、レジストをパターンニングし直しても勿論良い。また、電極パッド 14 に形成された開口部 H 2 を開口した後レジストを剥離し、電極パッド 14 の最表面の T i N をマスクにして、絶縁膜 12 をエッチングし、図 2（b）に示すように基板 10 を露出せしめることも可能である。更に付け加えるならば、各エッチング時の選択比を考慮して、レジストを厚膜化しておくことが必要である。

【0022】

以上の工程が終了すると、パッシベーション膜16をマスクとして、ドライエッチングにより基板10を穿孔して孔部H3を形成する（孔部形成工程）。基板10を穿孔する深さは70 μ m程度であるため、製造効率の観点からは特開2002-93776号公報に開示されたSi高速エッチング法、又は米国特許USP5,501,893に開示されたボッシュプロセス法を用いて異方性エッチングを行うことが好ましい。Si高速エッチング法を用いる場合には、エッチングガスとしてSF₆/O₂の混合ガスを用いることができ、ボッシュプロセス法を用いる場合にはSF₆/C₄F₈を用いることができる。尚、ここでは、ドライエッチングとしてRIEのほかにICP（Inductively Coupled Plasma）を用いることができる。

【0023】

図3（a）は、基板10を穿孔して、孔部H3を形成した状態を示す断面図である。図3（a）に示す通り、パッシベーション膜16をマスクとして基板10を穿孔しているため、基板10に形成される孔部H3の径はパッシベーション膜16に形成された開口部H1の径と同程度となる。その結果、パッシベーション膜16に形成された開口部H1の径、電極パッド14に形成された開口部H2の径、及び基板10に形成された孔部H3の径は、ほぼ同一になる。尚、孔部H3の深さは、最終的に形成する半導体チップの厚みに応じて適宜設定される。また、孔部H3は異方性エッチングにより形成しているため、孔部H3の底面は平坦（フラット）な形状になる。

【0024】

次に、基板H3に形成した孔部H3の底面を曲面とする工程が行われる（曲面形成工程）。この工程では孔部H3を形成する際に用いたマスクを用いて、孔部H3を形成する際に用いたエッチング法と同様のエッチング法により等方的エッチングを行う。上記の孔部H3を形成する際に、SF₆/O₂の混合ガスをエッチングガスとしてSi高速エッチング法を用いた場合には、SF₆のガス比を高め、又はエッチングガスをSF₆のみにすることで等方的なエッチングを行って孔部H3の底面を曲面にする。また、孔部H3を形成する際に、SF₆/C₄F

8 をエッチングガスとしてボッシュプロセス法を用いた場合には、サイクルエッチングを止めて SF_6 ガスのみをエッチングガスとして用いることで等方的なエッチングを行って孔部 H 3 の底面を曲面形状にする。

【0025】

尚、以上は、異方性エッチングから等方性エッチングに変更する方法としてエッチングガスの成分を変更する方法について説明したが、エッチングガスの成分変更に加えてバイアス電圧を低下させ、又は、エッチングガスの高圧化を行って異方性エッチングを等方性エッチングに変更するようにしても良い。また、バイアス電圧を低下させ、又は、エッチングガスの高圧化のみによって変更しても良い。

【0026】

図 3 (b) は、基板 10 に形成した孔部 H 3 の底面を曲面形状にした状態を示す断面図である。図 3 に示した例では、孔部 H 3 の底面が略半球状の曲面になっていることが分かる。また、等方的エッチングを行って孔部 H 3 の底面を曲面形状としても、孔部 H 3 の全体的な径 (幅) 幅は、開口部 H 1, H 2 の径とほぼ同一であることが分かる。

【0027】

以上の工程が終了すると、次に、パッシベーション膜 16 上並びに孔部 H 3 の内壁及び底面に絶縁膜 18 を形成する (絶縁膜形成工程)。図 4 (a) は、パッシベーション膜 16 上並びに孔部 H 3 の内壁及び底面に絶縁膜 18 を形成した状態を示す断面図である。この絶縁膜 18 は、電流リークの発生、酸素及び水分等による基板 10 の浸食等を防止するために設けられ、PECVD (Plasma Enhanced Chemical Vapor Deposition) を用いて形成した正珪酸四エチル (Tetra Ethyl Ortho Silicate: $\text{Si}(\text{OC}_2\text{H}_5)_4$: 以下、TEOS という)、即ち PE-TEOS、及び、オゾン CVD を用いて形成した TEOS、即ち O_3 -TEOS、又は CVD を用いて形成した酸化シリコンを用いることができる。尚、絶縁膜 18 の厚みは、例えば $1\ \mu\text{m}$ である。

【0028】

続いて、スピンコート法、ディッピング法、スプレーコート法等の方法により

レジスト（図示省略）を絶縁膜 18 上の全面に塗布する。或いは、ドライフィルムレジストを用いても良い。尚、このレジストは、電極パッド 14 の一部の上方を開口するために用いるものであり、フォトリソ、電子線レジスト、X線レジストの何れであってもよく、ポジ型又はネガ型の何れであってもよい。

【0029】

絶縁膜 18 上にレジストを塗布すると、プリベークを行った後で、所定のパターンが形成されたマスクを用いて露光処理及び現像処理を行い、電極パッド 14 の上方以外の部分並びに孔部 H3 及びその周辺部のみにレジストが残された形状、例えば孔部 H3 を中心とした円環形状にレジストをパターニングする。レジストのパターニングが終了すると、ポストベークを行った後で、エッチングにより電極パッド 14 の一部を覆う絶縁膜 18 及びパッシベーション膜 16 を除去し、電極パッド 14 の一部を開口する。尚、エッチングにはドライエッチングを適用することが好ましい。ドライエッチングは、反応性イオンエッチング（RIE：Reactive Ion Etching）であってもよい。また、エッチングとしてウェットエッチングを適用してもよい。尚、このとき、電極パッド 14 を構成する第 4 層も併せて除去する。

【0030】

図 4（b）は、電極パッド 14 を覆う絶縁膜 18 及びパッシベーション膜 16 の一部を除去した状態を示す断面図である。図 4（b）に示すように、電極パッド 14 の上方は開口部 H4 となり、電極パッド 14 の一部が露出した状態となる。この開口部 H4 によって、後の工程で形成される接続端子 20 と電極パッド 14 とを接続することができる。従って、開口部 H4 は孔部 H3 が形成された部位以外の部位に形成されていればよい。また、隣接していても良い。

【0031】

本実施形態では、電極パッド 14 のほぼ中央に孔部 H3（開口部 H1）を形成する場合を例に挙げている。よって、開口部 H4 は、この孔部 H3 を取り囲むように、つまり電極パッド 14 の露出面積を大きくすることが電極パッド 14 と、後に形成される接続端子との接続抵抗を小さくする上で好ましい。また、孔部 H3 の形成場所は電極パッド 14 のほぼ中央でなくても良い。尚、電極パッド 14

を覆う絶縁膜 18 及びパッシベーション膜 16 の一部を除去して、電極パッド 14 の一部を露出させると、除去する際に用いたレジストを剥離液により剥離する。

【0032】

以上の工程が終了すると、次に下地膜を形成する工程が行われる。尚、この工程及び下地膜の図示は省略している。下地膜は基板 10 の上面全面に形成されるため、電極パッド 14 の露出部並びに孔部 H3 の内壁及び底面にも下地膜が形成される。ここで、下地膜は、バリア層及びシード層からなり、まずバリア層を形成した後で、バリア層上にシード層を形成することで成膜される。バリア層は、例えば TiW から形成され、シード層は Cu から形成される。

【0033】

バリア層及びシード層は、例えば IMP（イオンメタルプラズマ）法、又は、真空蒸着、スパッタリング、イオンプレーティング等の PVD（Physical Vapor Deposition）法にて形成される。下地膜は、電極パッド 14 と絶縁膜 18 との段差を十分にカバーして、電極パッド 14 上と絶縁膜 18 上（孔部 H3 の内部を含む）に連続的に形成される。尚、下地膜を構成するバリア層の膜厚は、例えば 100 nm 程度であり、シード層の膜厚は、例えば数百 nm 程度である。

【0034】

下地膜の形成が終了すると、基板 10 の能動面 10a 上にメッキレジストを塗布し、接続端子 20 を形成する部分のみが開口した状態にパターニングしてメッキレジストパターン（図示省略）を形成する。その後、Cu 電解メッキを行って基板 10 の開口部 H3 及びメッキレジストパターンの開口部に Cu（銅）を埋め込み、接続端子 20 を形成する（接続端子形成工程）。

【0035】

図 5（a）は、Cu 電解メッキを行って接続端子 20 を形成した状態を示す断面図である。図 5（a）に示す通り、接続端子 20 は基板 10 の能動面 10a に突出した突起状の形状であるとともに、その一部が基板 10 内に埋め込まれた形状である。また、符号 C を付した箇所において、接続端子 20 は電極パッド 14 と電氣的に接続されている。接続端子 20 が形成されると、基板 10 上に形成さ

れているメッキレジストパターンを剥離する。

【0036】

以上の工程が終了すると、基板10の裏面10bに処理を行って基板10を薄板化し、基板10内に埋め込み形成された接続端子20を露出させる工程が行われる（露出工程）。基板10を薄板化するために基板10の裏面10bに対して行う処理方法は、裏面研磨又は裏面エッチングを用いることができるが、ここではエッチングにより基板10を薄板化する方法を例に挙げて説明する。

【0037】

基板10の裏面10bのエッチングは、基板10の厚みが50 μ m程度となり接続端子20の基板10の裏面10bからの突出量が所定量（例えば、20 μ m程度）になるまで行う。本実施形態では一度のエッチング処理でエッチング処理を完了するのではなく、異なるエッチング処理を2度行っている。これは、エッチングに要する時間を短縮して効率化を図るとともに、基板10の厚み及び接続端子20の突出量を精確に制御するためである。

【0038】

本実施形態では、最初に行うエッチング（第1エッチング工程）において、基板10を例えば四百数十 μ mエッチングして、基板10の厚みが接続端子20の埋め込み深さよりも僅かに厚く、接続端子20が基板10の裏面から露出していない状態にする。そして、次に行うエッチング（第2エッチング工程）において、接続端子20を基板10の裏面から突出させ、基板10の厚みが50 μ m程度であり、接続端子20の基板10の裏面からの突出量が20 μ m程度である状態にする。図5（b）は、基板10に対して第2エッチング工程を行った状態を示す断面図である。

【0039】

上記の第1エッチング工程では、エッチング量が多いため、効率化の観点からエッチング率（レート）を高く設定する必要がある。次に行うエッチング（第2エッチング工程）においては、基板10の厚み及び接続端子20の突出量を精確に制御するため、第1エッチング工程でのエッチング率よりも低いエッチング率でエッチングを行う必要がある。基板10の裏面をエッチングする場合には、第

1、第2エッチング工程ともドライエッチング若しくはウェットエッチングを行っても良く、第1、第2エッチングでドライエッチングとウェットエッチングとを切り替えるようにしても良い。

【0040】

また、第1エッチング工程でウェットエッチングを行う場合には、エッチング液として弗硝酸（HF（弗化水素）+HNO₃（硝酸））を用いることができる。エッチング液として弗硝酸を用いる場合には、HFとHNO₃との体積比を1：4.5に設定し、液温25℃に設定すると、約37.8μm/minのエッチング率が得られる。ウェットエッチングとしては、例えばディップ方式を用いたエッチング又はスピネッチング装置を用いたエッチングを用いることができる。スピネッチング装置を用いる場合には枚葉処理が可能となる。

【0041】

基板10に対して第1、第2エッチング工程を行う際に、ウェットエッチングを行うか、又はドライエッチングを行うかは、エッチング面積を考慮した各々のエッチングレート、バッチ処理又は枚葉処理を行うことができるか否か等を考慮して、総合的に効率よくエッチングすることができるエッチング法を選択すればよい。尚、ウェットエッチングはエッチングレートがエッチング面積に左右されないが、ドライエッチングはエッチング面積によりエッチングレートが左右される。

【0042】

第1、第2エッチング工程を行って基板10の裏面10bのエッチングが完了すると、基板10の裏面10bから接続端子20が20μm程度突出している状態となるのは前述した通りであるが、絶縁膜18及び不図示の下地膜があるため接続端子20そのものは露出した状態にはなっていない。このため、次工程において、基板10の裏面から突出した状態にある絶縁膜18及び不図示の下地膜を順にエッチングする工程が行われる（第3エッチング工程）。絶縁膜18は酸化膜ドライエッチングでエッチングし、不図示の下地膜はメタルドライエッチング又はウェットエッチングによりエッチングする。

【0043】

図5(c)は、絶縁膜18及び下地膜をエッチングした状態を示す断面図である。図5(c)に示すように、接続端子20の一部が薄板化された基板10の裏面から突出した状態になる。接続端子20の基板10の能動面10側に突出している部分及び基板10の裏面10bから突出している部分の高さは20 μ m程度であり、基板10の厚みは50 μ m程度である。また、上記の第1エッチング工程～第3エッチング工程によって基板10の裏面から接続端子20を露出させると、露出した接続端子20の形状は変化せず、孔部H3の底面に形成した略半球状の曲面を反映した形状のままであることが分かる。

【0044】

尚、ここではエッチングにより基板10を薄板化して接続端子20を露出させる方法について説明したが、裏面研磨による薄板化を行うことも可能である。但し、裏面研磨は、基板10の厚みを接続端子20の埋め込み深さ程度まで薄くする工程で用いることができ、基板10の裏面10bから接続端子20を露出させる工程及び絶縁膜18及び下地膜を除去する工程では用いることが好ましくない。なぜならば、接続端子20の先端部も研磨してしまつて形状を例えば平坦に変えてしまうからである。

【0045】

以上の工程が終了すると、接続端子20の先端部の何れか一方に無鉛ハンダ(Sn/Ag)を形成する。尚、無鉛ハンダの図示は省略している。無鉛ハンダの形成が完了すると、ウェハ状態にある基板10を切断して個々の半導体チップに分離する(切断工程)。ここで、基板10の切断は、予め基板10上に設定されているストリートライン(スクライブライン)に沿って行う。

【0046】

次に、分離した個々の半導体チップを積層して三次元実装構造とする(積層工程)。半導体チップを積層するには、まず半導体チップに形成された接続端子20に形成された無鉛ハンダ上に接合活性剤(フラックス)を塗布する工程が行われる。このフラックスは、半導体チップ同士を積層するときに、積層した半導体チップの位置ずれが生じないように粘着力で保持するとともに、半導体チップに形成された接続端子20の表面の酸化膜を遊離させるためのものである。

【0047】

フラックスの塗布の塗布を終えると、図6に示す通り、半導体チップに形成された接続端子20各々の位置が合うように、半導体チップC1と半導体チップC2との位置合わせを行って半導体チップC2上に半導体チップC1を積層する。ここで、積層する半導体チップは、同種のもの（つまり、基板に形成されている電子回路が等しいもの）であってもよく、異種のもの（つまり、基板に形成されている電子回路が異なるもの）であってもよい。

【0048】

以上の工程が終了すると、積層した半導体チップC1、C2をリフロー装置内に配置して、半導体チップC1、C2に形成された接続端子20の先端に設けられた無鉛ハンダを溶融させ、半導体チップC1に形成された接続端子20と半導体チップC2に形成された接続端子20とを接合する（接合工程）。図6に示す通り、半導体チップC1に形成された接続端子20の裏面側（半導体チップC2側）における先端部は曲面形状であり、無鉛ハンダ22の接合面積が大きいため接合強度が高まり、これによって信頼性の向上を図ることができる。

【0049】

尚、以上の説明においては、図6に示す通り、半導体チップC1と半導体チップC2とを積層する場合を例に挙げて説明したが、基板10を切断して得られた半導体チップをインターポーザ等の搭載基板に搭載する場合も、半導体チップ同士を積層する場合と同様の工程で搭載することができる。このときには、搭載基板に形成された接続部としての接続電極と、半導体チップに形成された接続端子20との位置合わせを行ってインターポーザ上に半導体チップを搭載し（搭載工程）、接続電極と接続端子とを接合する（接合工程）。

【0050】

また、インターポーザ上に半導体チップを搭載する形態以外にもインターポーザに代えてW-CSP（Wafer level Chip Scale Package）技術を用いて処理された基板上に半導体装置を積層するようにしても良い。ここで、W-CSP技術とは、ウェハの状態において一括して再配置配線（再配線）及び樹脂封止を行ってから個々の半導体チップに分離する技術である。W-CSP技術を用いて処

理された基板上に半導体装置を積層する場合には、再配置配線により形成された電極上に半導体チップを積層しても良く、ウェハ状態にある基板に対して半導体チップC1、C2に形成された接続端子20と同様の接続端子を形成し、この接続端子と半導体チップに形成された接続端子とを接合して積層するようにしてもよい。

【0051】

〔第2実施形態による半導体装置の製造方法〕

図7～図12は、本発明の第2実施形態による半導体装置の製造方法を示す工程図である。本実施形態においても、まず図1(a)に示す構造を有する基板10を用いて、パッシベーション膜16の開口、電極パッド14の開口、及び絶縁膜12の開口を順に行って、図2(b)に示す通り基板10の一部を露出させた状態とするのは第1実施形態と同様である。

【0052】

本実施形態では、図2(b)に示す状態にある基板10の一部が露出している開口部H1、H2内に、所定の形状を有するマスクを形成する。図7(a)は、開口部H1、H2内にマスクを形成した状態を示す断面図であり、図7(b)はマスクの一例を示す上面図である。開口部H1、H2内に形成されるマスク30は基板10を穿孔して形成する孔部H5の底面の形状を凹凸形状にするためのものである。マスク30は、基板10を穿孔して形成する孔部H5の径よりも小さな幅を有する任意の形状のパターンであり複数個形成される。本実施形態においては、図7に示す通り円柱状のパターンを複数個形成している。尚、形成するマスク30の形状、個数、配列は任意である。

【0053】

マスク30の形成が終了すると、マスク30を用いて基板10の露出箇所（開口部H1、H2に露出している箇所）をエッチングして、この箇所に凹凸形状を形成する（凹凸形成工程）。図8(a)は、基板10の露出箇所をエッチングして凹凸形状を形成した状態を示す断面図である。基板10のエッチング量は、1～10 μ m程度である。凹凸形状を形成すると、開口部H1、H2内に形成したマスク30を除去した後で、基板10の上面及び開口部H1、H2内にSiO₂

等の酸化膜 32 を形成する。

【0054】

図 8 (b) は酸化膜 32 を形成した状態を示す断面図である。酸化膜 32 の成膜が終了すると、開口部 H1, H2 内に形成された酸化膜 32 のみをエッチングにより除去する。図 9 (a) は酸化膜 32 をパターンニングした状態を示す図である。以上の工程が終了すると、ドライエッチングにより基板 10 を穿孔して孔部 H5 を形成する (孔形成工程)。基板 10 を穿孔する深さは $60 \sim 70 \mu\text{m}$ 程度であるため、上述した Si 高速エッチング法又はボッシュプロセス法を用いて異方性エッチングを行うことが好ましい。Si 高速エッチング法を用いる場合には、エッチングガスとして SF_6/O_2 の混合ガスを用いることができ、ボッシュプロセス法を用いる場合には $\text{SF}_6/\text{C}_4\text{F}_8$ を用いることができる。尚、ここでは、ドライエッチングとして RIE のほかに ICP (Inductively Coupled Plasma) を用いることができる。

【0055】

図 9 (b) は、基板 10 を穿孔して孔部 H5 を形成した状態を示す断面図である。図 9 (b) を参照すると、形成された孔部 H5 の径は全体に亘って開口部 H1, H2 の径とは同程度であることが分かる。また、孔部 H5 の底面は、図 9 (a) に示す工程で形成した凹凸形状が反映されたものとなることが分かる。以上の工程が終了すると、次に、酸化膜 32 上並びに孔部 H5 の内壁及び底面に絶縁膜 34 を形成する (絶縁膜形成工程)。図 10 (a) は、酸化膜 32 上並びに孔部 H5 の内壁及び底面に絶縁膜 34 を形成した状態を示す断面図である。この絶縁膜 34 は、第 1 実施形態で形成した絶縁膜 18 と同様に、電流リークの発生、酸素及び水分等による基板 10 の浸食等を防止するために設けられ、第 1 実施形態と同様の方法により形成される。

【0056】

続いて、スピンコート法、ディッピング法、スプレーコート法等の方法によりレジスト (図示省略) を絶縁膜 34 上の全面に塗布する。或いは、ドライフィルムレジストを用いても良い。尚、このレジストは、電極パッド 14 の一部の上方を開口するために用いるものであり、フォトリソ、電子線レジスト、X線レ

ジストの何れであってもよく、ポジ型又はネガ型の何れであってもよい。

【0057】

絶縁膜34上にレジストを塗布すると、プリベークを行った後で、所定のパターンが形成されたマスクを用いて露光処理及び現像処理を行い、電極パッド14の上方以外の部分並びに孔部H5及びその周辺部のみにレジストが残された形状、例えば孔部H5を中心とした円環形状にレジストをパターンニングする。レジストのパターンニングが終了すると、ポストベークを行った後で、エッチングにより電極パッド14の一部を覆う絶縁膜34、酸化膜32、及びパッシベーション膜16を除去し、電極パッド14の一部を開口する。

【0058】

図10(b)は、電極パッド14を覆う絶縁膜34、酸化膜32、及びパッシベーション膜16の一部を除去した状態を示す断面図である。図10(b)に示すように、電極パッド14の上方は開口部H6となり、電極パッド14の一部が露出した状態となる。この開口部H6によって、後の工程で形成される接続端子36と電極パッド14とを接続することができる。従って、開口部H6は孔部H5が形成された部位以外の部位に形成されていればよい。また、隣接していても良い。また、第1実施形態と同様に、電極パッド14の露出面積を大きくすることが電極パッド14と、後に形成される接続端子との接続抵抗を小さくする上で好ましい。また、孔部H5の形成場所は電極パッド14のほぼ中央でなくても良い。尚、電極パッド14を覆う絶縁膜34、酸化膜32、及びパッシベーション膜16を除去して、電極パッド14の一部を露出させると、除去する際に用いたレジストを剥離液により剥離する。

【0059】

以上の工程が終了すると、次に下地膜を形成する工程が行われる。尚、この工程及び下地膜の図示は省略している。下地膜の形成方法は、第1実施形態と同様であるため、ここでは説明を省略する。下地膜の形成が終了すると、基板10の能動面10a上にメッキレジストを塗布し、接続端子36を形成する部分のみが開口した状態にパターンニングしてメッキレジストパターン（図示省略）を形成する。その後、Cu電解メッキを行って基板10の開口部H5及びメッキレジスト

パターンの開口部にCu（銅）を埋め込み、接続端子36を形成する（接続端子形成工程）。

【0060】

図11（a）は、Cu電解メッキを行って接続端子36を形成した状態を示す断面図である。図5（a）に示す通り、接続端子36は基板10の能動面10aに突出した突起状の形状であるとともに、その一部が基板10内に埋め込まれた形状である。また、符号Cを付した箇所において、接続端子36は電極パッド14と電氣的に接続されている。接続端子36が形成されると、基板10上に形成されているメッキレジストパターンを剥離する。

【0061】

以上の工程が終了すると、基板10の裏面10bに処理を行って基板10を薄板化し、基板10内に埋め込み形成された接続端子36を露出させる工程が行われる（露出工程）。基板10を薄板化するために基板10の裏面10bに対して行う処理方法は、第1実施形態と同様に第1エッチング工程～第3エッチング工程からなるエッチング方法を用いることができる。尚、第1エッチング工程に代えて裏面研磨工程を用いることもできる。

【0062】

基板10の裏面10bのエッチング（第1エッチング工程及び第2エッチング工程）は、基板10の厚みが50 μ m程度となり接続端子36の基板10の裏面10bからの突出量が所定量（例えば、20 μ m程度）になるまで行う。図11（b）は、基板10に対して第2エッチング工程を行った状態を示す断面図である。図11（b）に示す通り、接続端子36自体は露出しておらず、絶縁膜34等に覆われているため、第3エッチング工程により、絶縁膜34の一部を除去する工程が行われる。

【0063】

図11（c）は、絶縁膜34及び下地膜をエッチングした状態を示す断面図である。図11（c）に示すように、接続端子36の一部が薄板化された基板10の裏面から突出した状態になる。また、上記の第1エッチング工程～第3エッチング工程によって基板10の裏面から接続端子36を露出させると、露出した接

続端子 36 の形状は、接続端子 36 の形状を変形させることなく、孔部 H5 の底面に形成した凹凸形状をほぼ反映した形状であることが分かる。

【0064】

以上の工程が終了すると、接続端子 36 の先端部の何れか一方に無鉛ハンダ（Sn／Ag）を形成する。尚、無鉛ハンダの図示は省略している。無鉛ハンダの形成が完了すると、ウェハ状態にある基板 10 を切断して個々の半導体チップに分離する（切断工程）。ここで、基板 10 の切断は、予め基板 10 上に設定されているストリートライン（スクライブライン）に沿って行う。

【0065】

次に、分離した個々の半導体チップを積層して三次元実装構造とする（積層工程）。半導体チップを積層するには、まず半導体チップに形成された接続端子 36 に形成された無鉛ハンダ上に接合活性剤（フラックス）を塗布する工程が行われる。このフラックスは、半導体チップ同士を積層するときに、積層した半導体チップの位置ずれが生じないように粘着力で保持するとともに、半導体チップに形成された接続端子 36 の表面の酸化膜を遊離させるためのものである。

【0066】

フラックスの塗布の塗布を終えると、図 12 に示す通り、半導体チップに形成された接続端子 36 各々の位置が合うように、半導体チップ C3 と半導体チップ C4 との位置合わせを行って半導体チップ C4 上に半導体チップ C3 を積層する。ここで、積層する半導体チップは、同種のもの（つまり、基板に形成されている電子回路が等しいもの）であってもよく、異種のもの（つまり、基板に形成されている電子回路が異なるもの）であってもよい。

【0067】

以上の工程が終了すると、積層した半導体チップ C3、C4 をリフロー装置内に配置して、半導体チップ C3、C4 に形成された接続端子 36 の先端に設けられた無鉛ハンダを溶融させ、半導体チップ C3 に形成された接続端子 36 と半導体チップ C4 に形成された接続端子 36 とを接合する（接合工程）。図 12 に示す通り、半導体チップ C3 に形成された接続端子 36 の裏面側（半導体チップ C4 側）における先端部は凹凸形状であり、無鉛ハンダ 38 の接合面積が大きい

め接合強度が高まり、これによって信頼性の向上を図ることができる。

【0068】

尚、以上の説明においては、図12に示す通り、半導体チップC3と半導体チップC4とを積層する場合を例に挙げて説明したが、第1実施形態と同様に、基板10を切断して得られた半導体チップをインターポーザ等の搭載基板又はW-CSP技術を用いて処理された基板上に搭載することができる。

【0069】

〔第3実施形態による半導体装置の製造方法〕

図13～図17は、本発明の第3実施形態による半導体装置の製造方法を示す工程図である。本実施形態においても、まず図1(a)に示す構造を有する基板10を用いて、パッシベーション膜16の開口、電極パッド14の開口、及び絶縁膜12の開口を順に行って、図2(b)に示す通り基板10の一部を露出させた状態とするのは第1実施形態と同様である。

【0070】

本実施形態では、図2(b)に示す状態にある基板10の一部が露出している開口部H1、H2を含んでパッシベーション膜16上にSiO₂等の絶縁膜40を形成し、開口部H1、H2内に形成された絶縁膜40を所定形状にパターンニングする(マスク形成工程)。図13(a)は、絶縁膜40上に形成した絶縁膜40をパターンニングした状態を示す図であり、図13(b)は、開口部H1、H2内に形成されたパターンニング後の絶縁膜40の上面図である。尚、基板10の上面であって、開口部H1、H2に露出している領域は本発明にいう孔形成領域に相当する。

【0071】

図13に示す通り、開口部H1、H2内において絶縁膜40は多数の孔42を有するよう開口されている。この絶縁膜40は、基板10を穿孔して孔部H7(図14参照)を形成するとともに、形成した孔部H7の底面の形状を凹凸形状にするためのものである。絶縁膜40に形成する孔42の径、配列、及び数は基板10に形成する孔部H7の形状及び径、並びに孔部H7を形成する際のサイドエッチング量によって設定される。

【0072】

絶縁膜 40 のパターンニングが終了すると、絶縁膜 40 に形成された孔 42 の各々から基板 10 を穿孔して孔部 H7 を形成する（凹凸孔形成工程）。図 14（a）は、絶縁膜 40 に形成された孔 42 の各々から基板 10 を穿孔して孔部 H7 を形成した状態を示す断面図である。本実施形態では、孔部 H7 を形成する際には、第 1 実施形態と同様に、Si 高速エッチング法又はボッシュプロセス法を用いて異方性エッチングを行っているが、エッチングガスのガス比、エッチングガスの圧力、及びバイアス電圧を調整して僅かにサイドエッチが入るようにエッチングしている。尚、このエッチング方法は、本発明にいう基板の面方向に僅かに広がる穿孔方法に相当する。

【0073】

このため、基板 10 は絶縁膜 40 に形成された孔 42 の各々からエッチングされるが、エッチングが進むにつれてサイドエッチングにより各々の孔 42 に対応する孔の間隔が狭まっていき、最終的には図 14（a）に示す 1 つの孔部 H7 が形成される。また、絶縁膜 40 を用いて基板 10 をエッチングすると、図 14（a）に示す通り、形成される孔部 H7 の底面の形状が凹凸形状になる。形成された孔部 H7 の径はサイドエッチの分だけ基板 10 の面方向に僅かに広がるものの、図 14（a）に示す通り、全体に亘って開口部 H1，H2 の径とは同程度であることが分かる。

【0074】

以上の工程が終了すると、次に、パッシベーション膜 16 上等に形成した絶縁膜 40 を除去する。図 14（b）は、パッシベーション膜 16 上等に形成した絶縁膜 40 を除去した状態を示す工程を示す断面図である。次に、パッシベーション膜 16 上並びに孔部 H7 の内壁及び底面に絶縁膜 44 を形成する（絶縁膜形成工程）。図 15（a）は、パッシベーション膜 16 上並びに孔部 H7 の内壁及び底面に絶縁膜 44 を形成した状態を示す断面図である。この絶縁膜 44 は、第 1 実施形態で形成した絶縁膜 18 と同様に、電流リークの発生、酸素及び水分等による基板 10 の浸食等を防止するために設けられ、第 1 実施形態と同様の方法により形成される。

【0075】

続いて、スピコート法、ディッピング法、スプレーコート法等の方法によりレジスト（図示省略）を絶縁膜44上の全面に塗布する。或いは、ドライフィルムレジストを用いても良い。尚、このレジストは、電極パッド14の一部の上方を開口するために用いるものであり、フォトリソ、電子線レジスト、X線レジストの何れであってもよく、ポジ型又はネガ型の何れであってもよい。

【0076】

絶縁膜44上にレジストを塗布すると、プリベークを行った後で、所定のパターンが形成されたマスクを用いて露光処理及び現像処理を行い、電極パッド14の上方以外の部分並びに孔部H8及びその周辺部のみにレジストが残された形状、例えば孔部H7を中心とした円環形状にレジストをパターンニングする。レジストのパターンニングが終了すると、ポストベークを行った後で、エッチングにより電極パッド14の一部を覆う絶縁膜44及びパッシベーション膜16を除去し、電極パッド14の一部を開口する。

【0077】

図15（b）は、絶縁膜44及びパッシベーション膜16の一部を除去した状態を示す断面図である。図15（b）に示すように、電極パッド14の上方は開口部H8となり、電極パッド14の一部が露出した状態となる。この開口部H8によって、後の工程で形成される接続端子46と電極パッド14とを接続することができる。従って、開口部H8は孔部H7が形成された部位以外の部位に形成されていればよい。また、隣接していても良い。また、第1実施形態と同様に、電極パッド14の露出面積を大きくすることが電極パッド14と、後に形成される接続端子との接続抵抗を小さくする上で好ましい。また、孔部H7の形成場所は電極パッド14のほぼ中央でなくても良い。尚、電極パッド14を覆う絶縁膜44及びパッシベーション膜16を除去して、電極パッド14の一部を露出させると、除去する際に用いたレジストを剥離液により剥離する。

【0078】

以上の工程が終了すると、次に下地膜を形成する工程が行われる。尚、この工程及び下地膜の図示は省略している。下地膜の形成方法は、第1実施形態と同様

であるため、ここでは説明を省略する。下地膜の形成が終了すると、基板10の能動面10a上にメッキレジストを塗布し、接続端子46を形成する部分のみが開口した状態にパターンニングしてメッキレジストパターン（図示省略）を形成する。その後、Cu電解メッキを行って基板10の開口部H7及びメッキレジストパターンの開口部にCu（銅）を埋め込み、接続端子46を形成する（接続端子形成工程）。

【0079】

図16（a）は、Cu電解メッキを行って接続端子46を形成した状態を示す断面図である。図16（a）に示す通り、接続端子46は基板10の能動面10aに突出した突起状の形状であるとともに、その一部が基板10内に埋め込まれた形状である。また、符号Cを付した箇所において、接続端子46は電極パッド14と電氣的に接続されている。接続端子46が形成されると、基板10上に形成されているメッキレジストパターンを剥離する。

【0080】

以上の工程が終了すると、基板10の裏面10bに処理を行って基板10を薄板化し、基板10内に埋め込み形成された接続端子46を露出させる工程が行われる（露出工程）。基板10を薄板化するために基板10の裏面10bに対して行う処理方法は、第1実施形態と同様に第1エッチング工程～第3エッチング工程からなるエッチング方法を用いることができる。尚、第1エッチング工程に代えて裏面研磨工程を用いることもできる。

【0081】

基板10の裏面10bのエッチング（第1エッチング工程及び第2エッチング工程）は、基板10の厚みが50 μ m程度となり接続端子46の基板10の裏面10bからの突出量が所定量（例えば、20 μ m程度）になるまで行う。図16（b）は、基板10に対して第2エッチング工程を行った状態を示す断面図である。図16（b）に示す通り、接続端子46自体は露出しておらず、絶縁膜44等に覆われているため、第3エッチング工程により、絶縁膜44の一部を除去する工程が行われる。

【0082】

図16(c)は、絶縁膜44及び下地膜をエッチングした状態を示す断面図である。図16(c)に示すように、接続端子46の一部が薄板化された基板10の裏面から突出した状態になる。また、上記の第1エッチング工程～第3エッチング工程によって基板10の裏面から接続端子46を露出させると、露出した接続端子46の形状は、接続端子46の形状を変形させることなく、孔部H7の底面に形成した凹凸形状をほぼ反映した形状であることが分かる。

【0083】

以上の工程が終了すると、接続端子46の先端部の何れか一方に無鉛ハンダ（Sn／Ag）を形成する。尚、無鉛ハンダの図示は省略している。無鉛ハンダの形成が完了すると、ウェハ状態にある基板10を切断して個々の半導体チップに分離する（切断工程）。ここで、基板10の切断は、予め基板10上に設定されているストリートライン（スクライブライン）に沿って行う。

【0084】

次に、分離した個々の半導体チップを積層して三次元実装構造とする（積層工程）。半導体チップを積層するには、まず半導体チップに形成された接続端子46に形成された無鉛ハンダ上に接合活性剤（フラックス）を塗布する工程が行われる。このフラックスは、半導体チップ同士を積層するときに、積層した半導体チップの位置ずれが生じないように粘着力で保持するとともに、半導体チップに形成された接続端子46の表面の酸化膜を遊離させるためのものである。

【0085】

フラックスの塗布の塗布を終えると、図17に示す通り、半導体チップに形成された接続端子46各々の位置が合うように、半導体チップC5と半導体チップC6との位置合わせを行って半導体チップC6上に半導体チップC5を積層する。ここで、積層する半導体チップは、同種のもの（つまり、基板に形成されている電子回路が等しいもの）であってもよく、異種のもの（つまり、基板に形成されている電子回路が異なるもの）であってもよい。

【0086】

以上の工程が終了すると、積層した半導体チップC5、C6をリフロー装置内に配置して、半導体チップC5、C6に形成された接続端子46の先端に設けら

れた無鉛ハンダを溶融させ、半導体チップC5に形成された接続端子46と半導体チップC6に形成された接続端子46とを接合する（接合工程）。図17に示す通り、半導体チップC5に形成された接続端子46の裏面側（半導体チップC6側）における先端部は凹凸形状であり、無鉛ハンダ48の接合面積が大きいいため接合強度が高まり、これによって信頼性の向上を図ることができる。

【0087】

尚、以上の説明においては、図17に示す通り、半導体チップC5と半導体チップC6とを積層する場合を例に挙げて説明したが、第1実施形態と同様に、基板10を切断して得られた半導体チップをインターポーザ等の搭載基板又はW-CSP技術を用いて処理された基板上に搭載することができる。

【0088】

〔電子機器〕

本発明の実施形態による半導体装置を有する電子機器として、図18にはノート型パーソナルコンピュータ200、図19には携帯電話300が示されている。半導体装置各電子機器の筐体内部に配置される。また、電子機器は、上記のノート型コンピュータ及び携帯電話に限られる訳ではなく、種々の電子機器に適用することができる。例えば、液晶プロジェクタ、マルチメディア対応のパーソナルコンピュータ（PC）及びエンジニアリング・ワークステーション（EWS）、ページャ、ワードプロセッサ、テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、電子手帳、電子卓上計算機、カーナビゲーション装置、POS端末、タッチパネルを備えた装置等の電子機器に適用することが可能である。

【0089】

以上、本発明の一実施形態及び他の実施形態について説明したが、本発明は上記実施形態に制限されず、本発明の範囲内で自由に変更することができる。例えば、上記実施形態においては、無鉛ハンダを用いて搭載基板上に半導体チップを搭載し、又は半導体チップ同士を接合するようにしていたが、無鉛ハンダに代えて金等の金属又は合金を用い、金属接合によりこれらを接合するようにしても良い。

【図面の簡単な説明】

【図 1】 本発明の第 1 実施形態による半導体装置の製造方法を示す工程図である。

【図 2】 本発明の第 1 実施形態による半導体装置の製造方法を示す工程図である。

【図 3】 本発明の第 1 実施形態による半導体装置の製造方法を示す工程図である。

【図 4】 本発明の第 1 実施形態による半導体装置の製造方法を示す工程図である。

【図 5】 本発明の第 1 実施形態による半導体装置の製造方法を示す工程図である。

【図 6】 本発明の第 1 実施形態による半導体装置の製造方法を示す工程図である。

【図 7】 本発明の第 2 実施形態による半導体装置の製造方法を示す工程図である。

【図 8】 本発明の第 2 実施形態による半導体装置の製造方法を示す工程図である。

【図 9】 本発明の第 2 実施形態による半導体装置の製造方法を示す工程図である。

【図 1 0】 本発明の第 2 実施形態による半導体装置の製造方法を示す工程図である。

【図 1 1】 本発明の第 2 実施形態による半導体装置の製造方法を示す工程図である。

【図 1 2】 本発明の第 2 実施形態による半導体装置の製造方法を示す工程図である。

【図 1 3】 本発明の第 3 実施形態による半導体装置の製造方法を示す工程図である。

【図 1 4】 本発明の第 3 実施形態による半導体装置の製造方法を示す工程図である。

【図 1 5】 本発明の第 3 実施形態による半導体装置の製造方法を示す工程図である。

【図 1 6】 本発明の第 3 実施形態による半導体装置の製造方法を示す工程図である。

【図 1 7】 本発明の第 3 実施形態による半導体装置の製造方法を示す工程図である。

【図 1 8】 本発明の一実施形態による電子機器の一例を示す図である。

【図 1 9】 本発明の一実施形態による電子機器の他の例を示す図である。

【符号の説明】

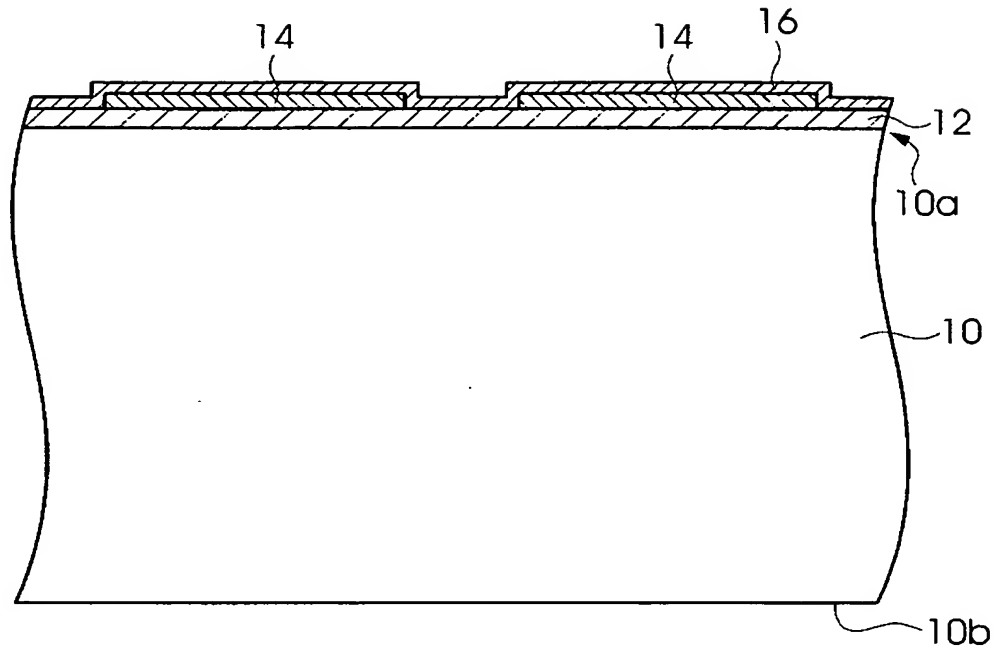
- 1 8 ……絶縁膜
- 2 0 ……接続端子
- 2 2 ……無鉛ハンダ
- 3 4 ……絶縁膜
- 3 6 ……接続端子
- 3 8 ……無鉛ハンダ
- 4 0 ……絶縁膜（マスク）
- 4 2 ……孔
- 4 4 ……絶縁膜
- 4 6 ……接続端子
- 4 8 ……無鉛ハンダ
- H 3 ……孔部
- H 5 ……孔部
- H 7 ……孔部
- 1 0 ……基板
- 1 0 a ……能動面
- 1 0 b ……裏面
- C 1 ～ C 6 ……半導体チップ

【書類名】

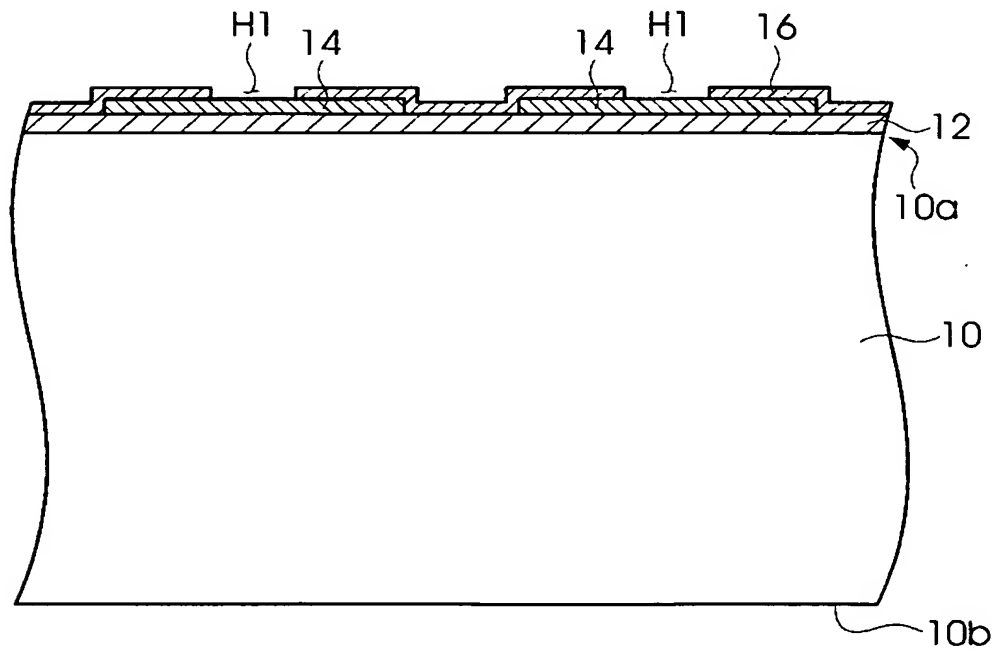
図面

【図 1】

(a)

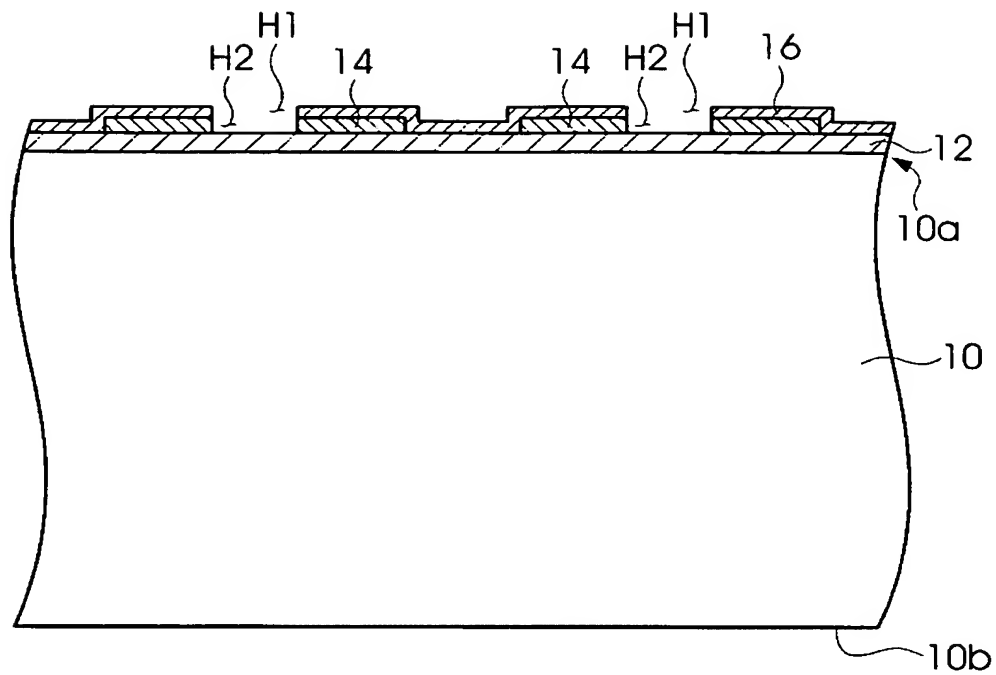


(b)

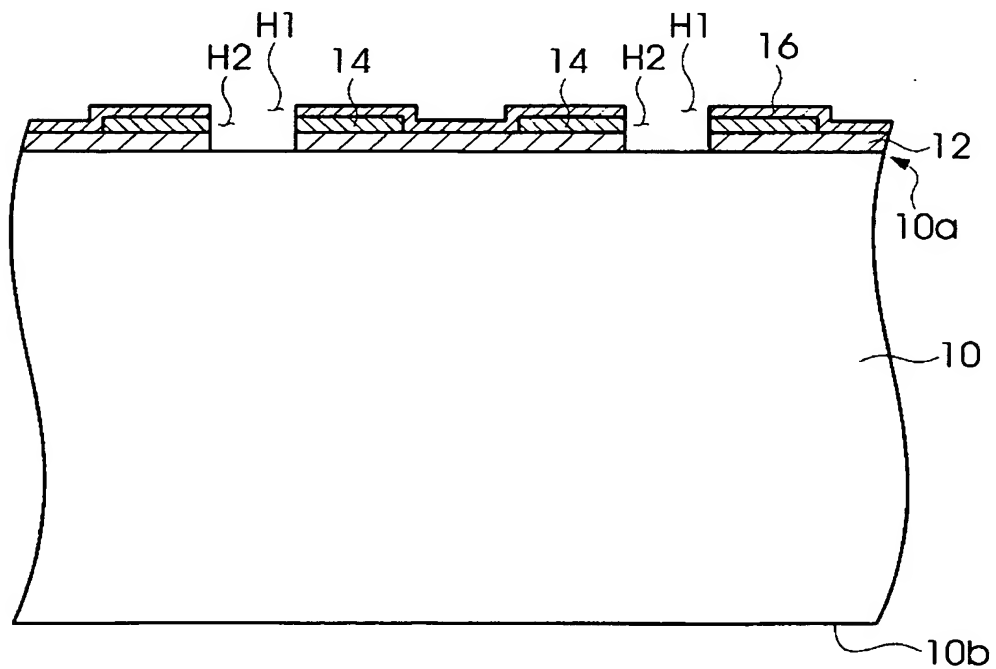


【図 2】

(a)

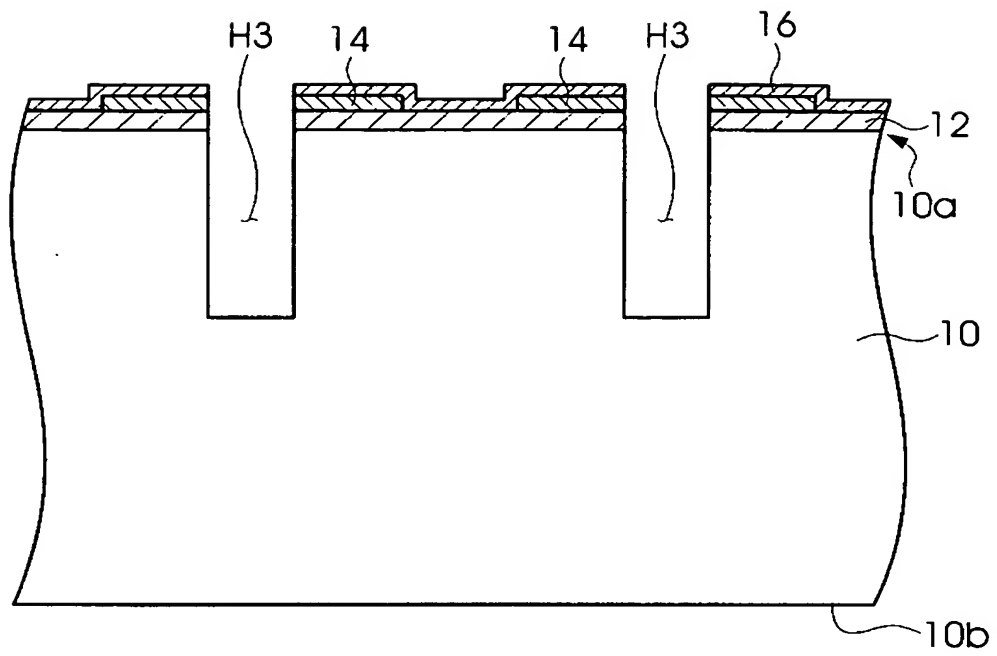


(b)

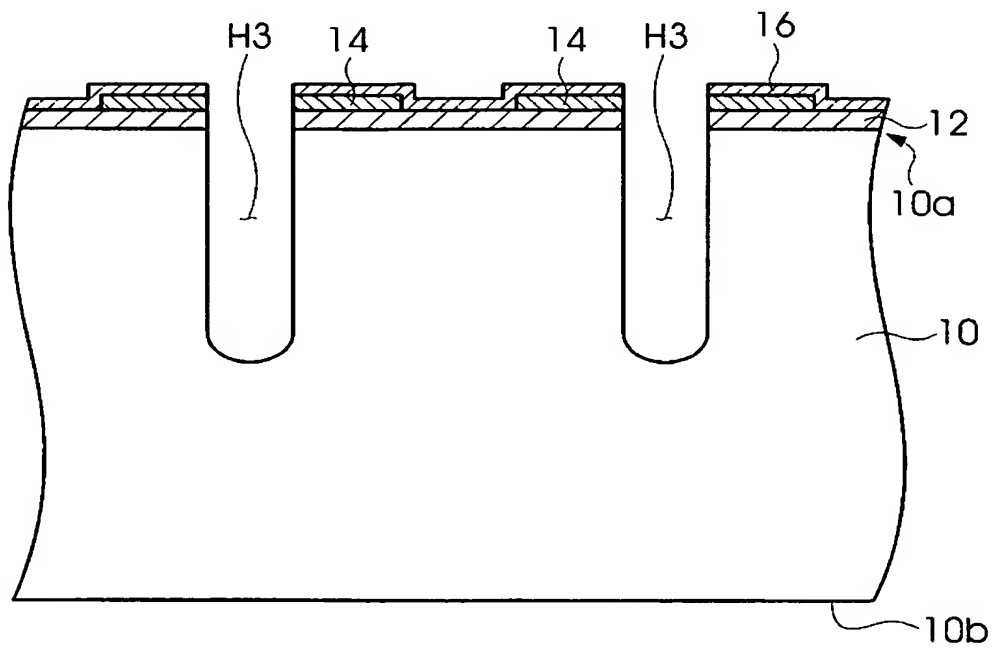


【図 3】

(a)

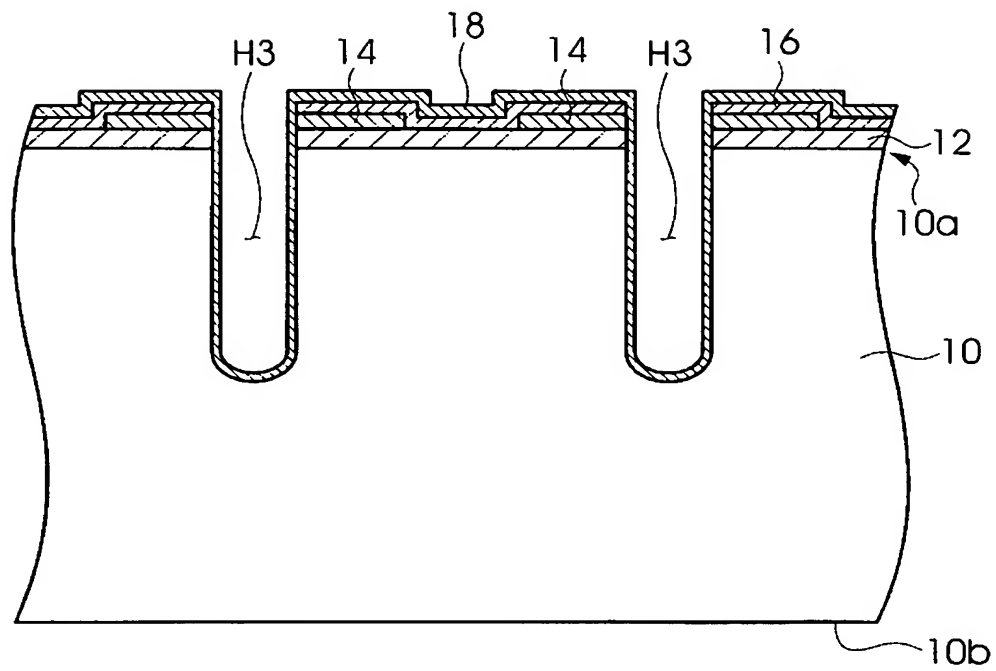


(b)

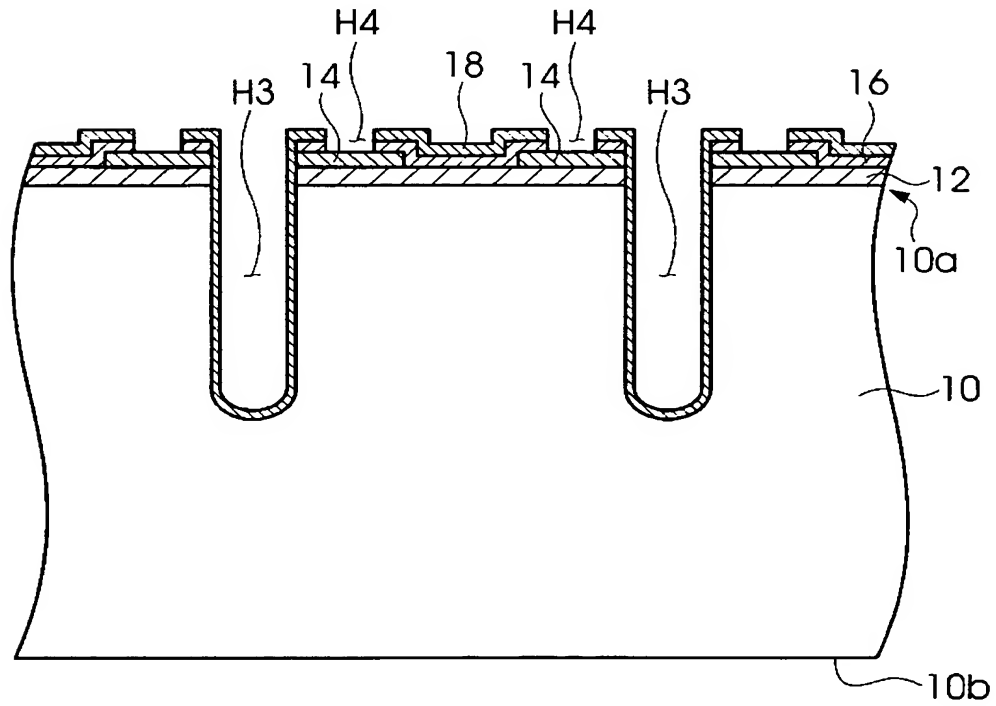


【図 4】

(a)

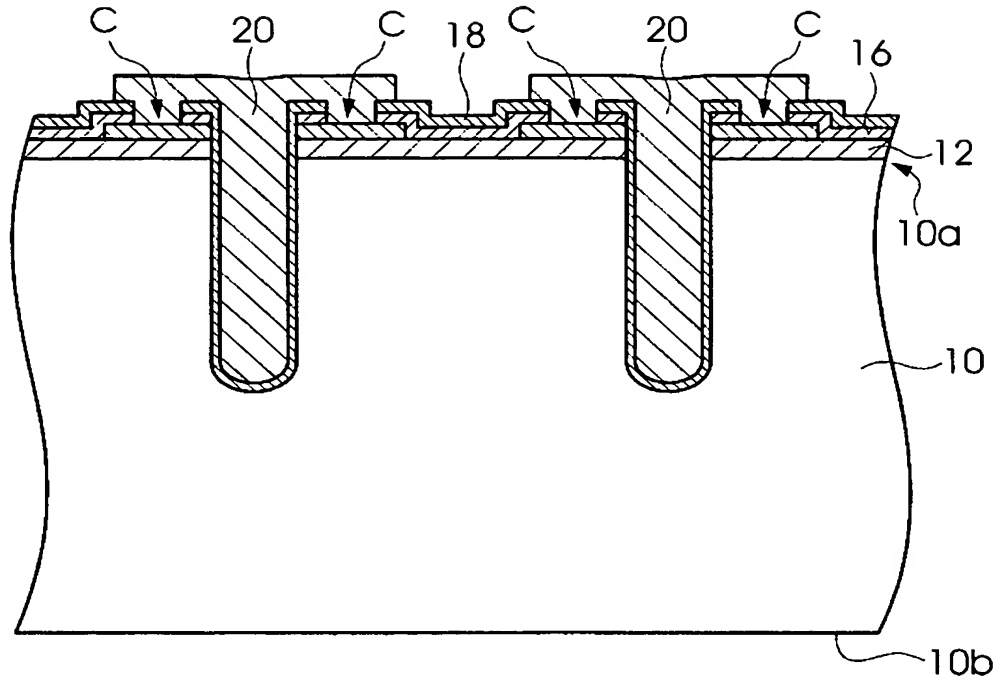


(b)

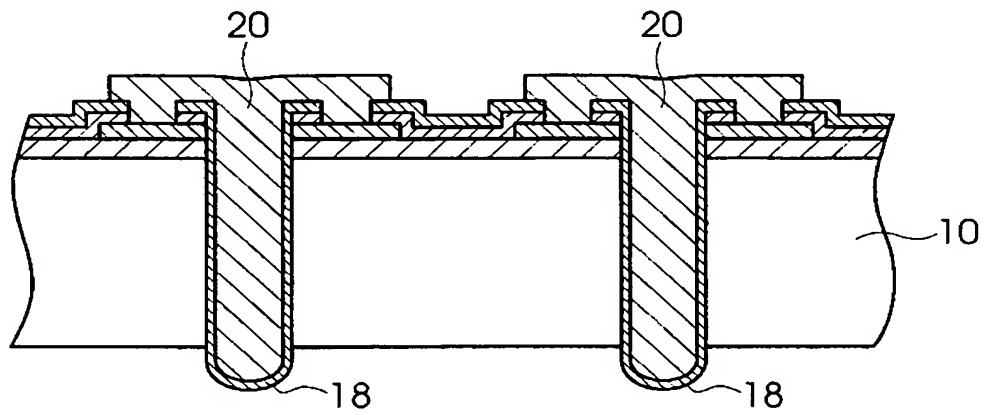


【図 5】

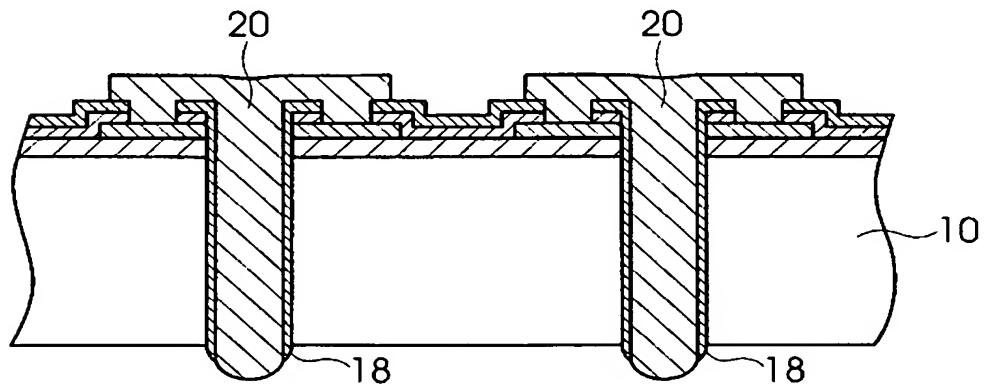
(a)



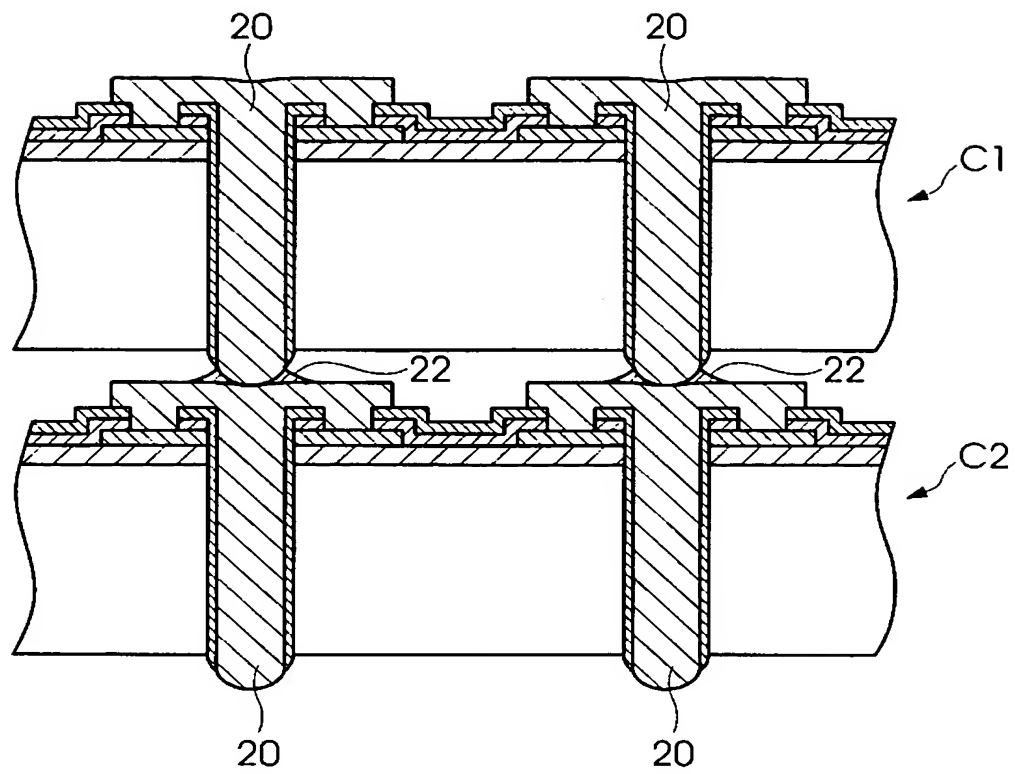
(b)



(c)

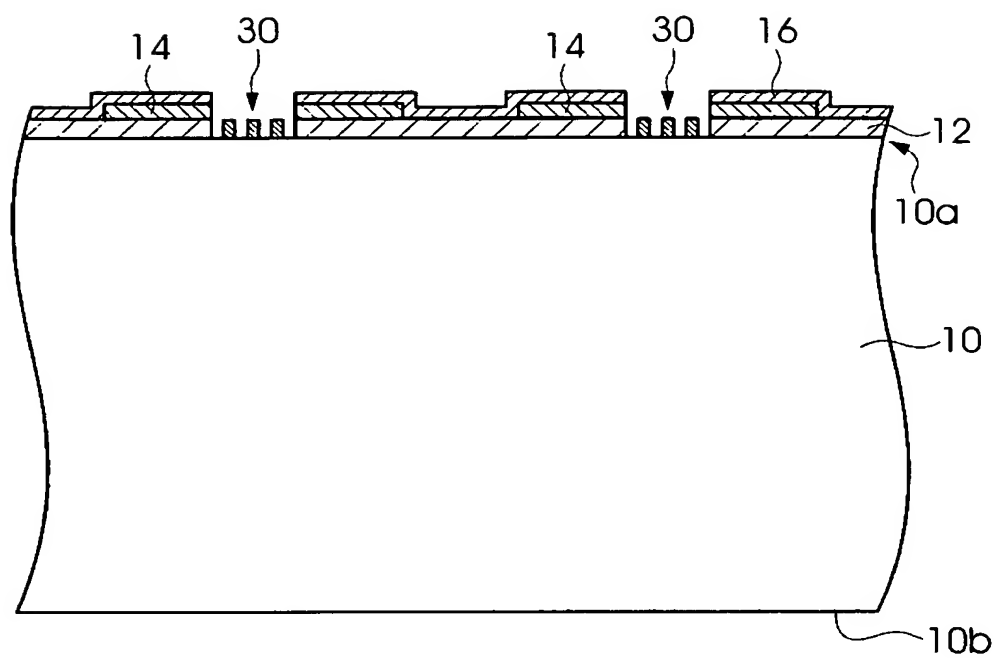


【図 6】

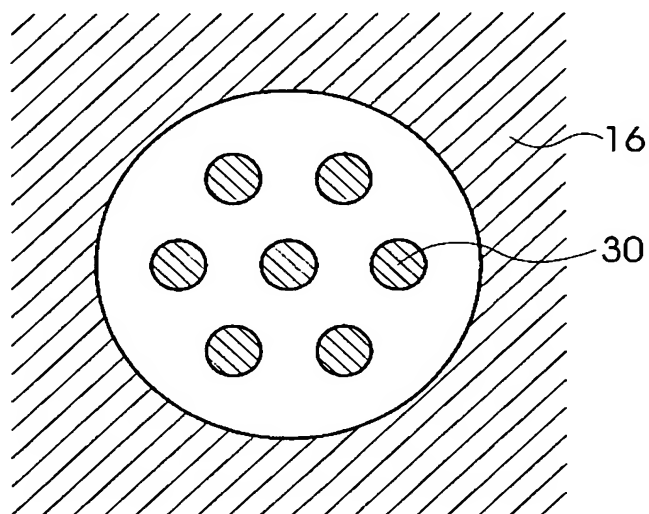


【図 7】

(a)

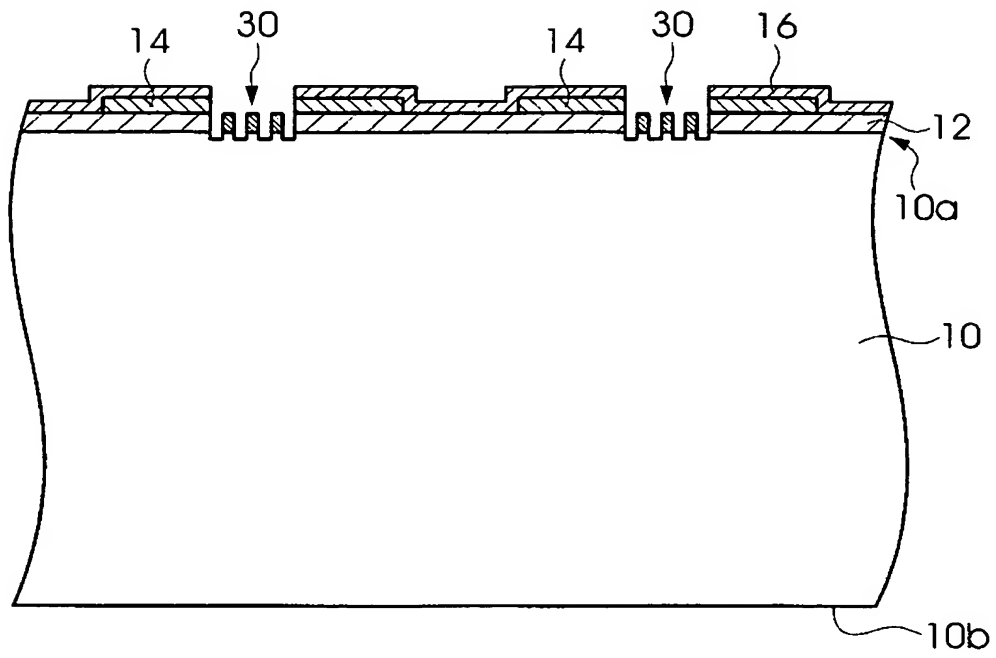


(b)

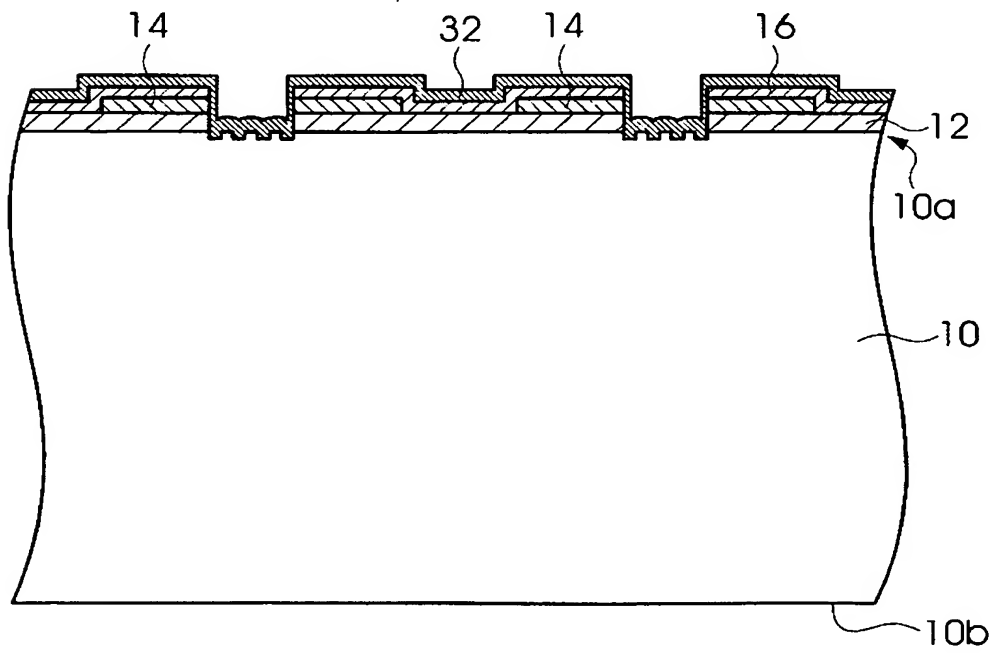


【図 8】

(a)

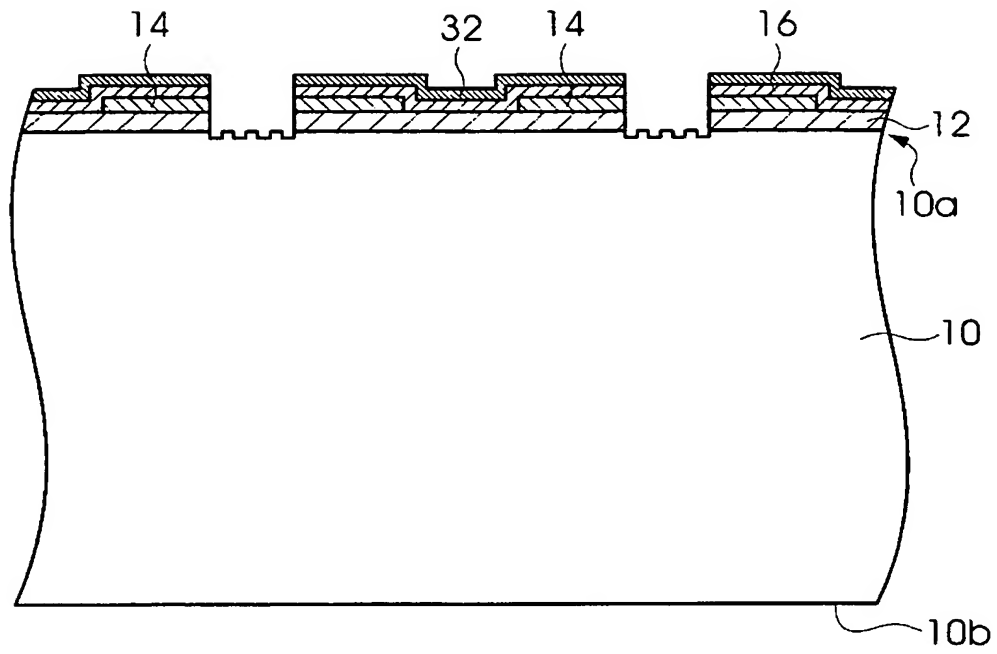


(b)

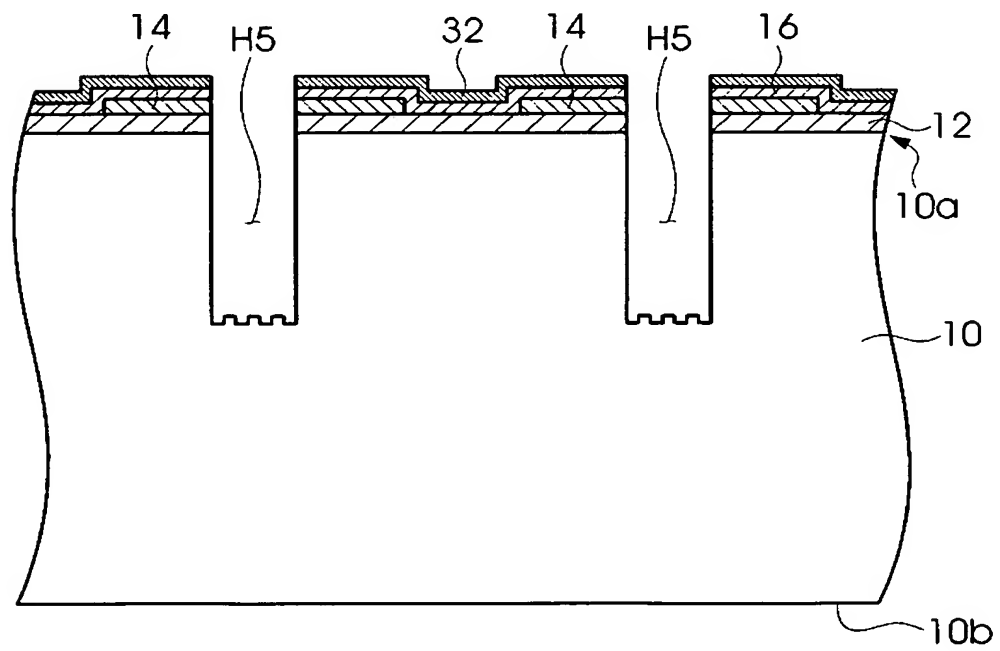


【図 9】

(a)

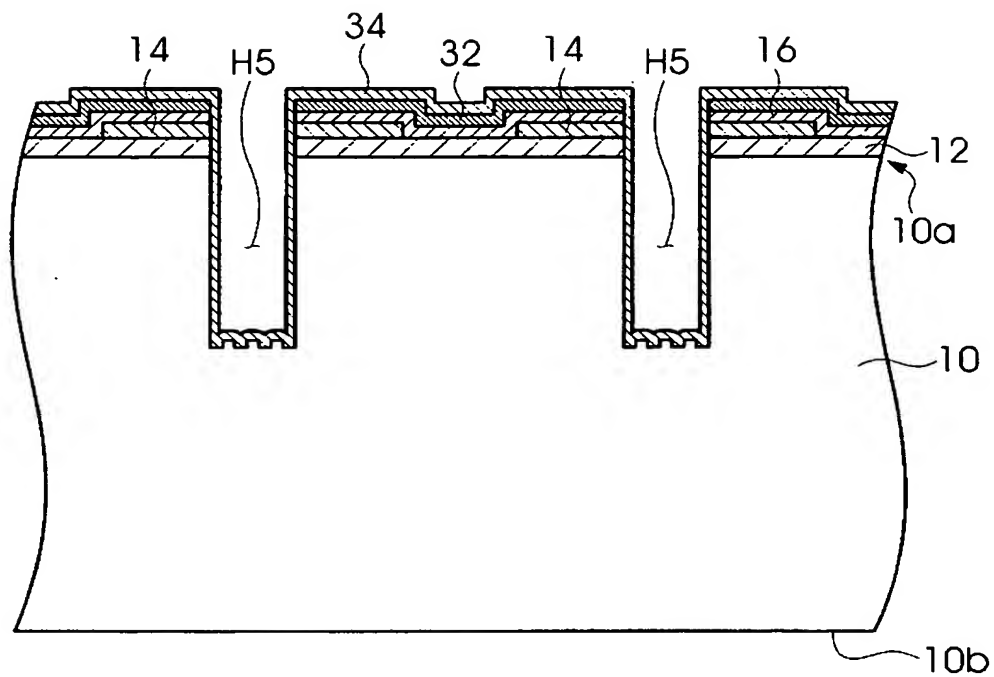


(b)

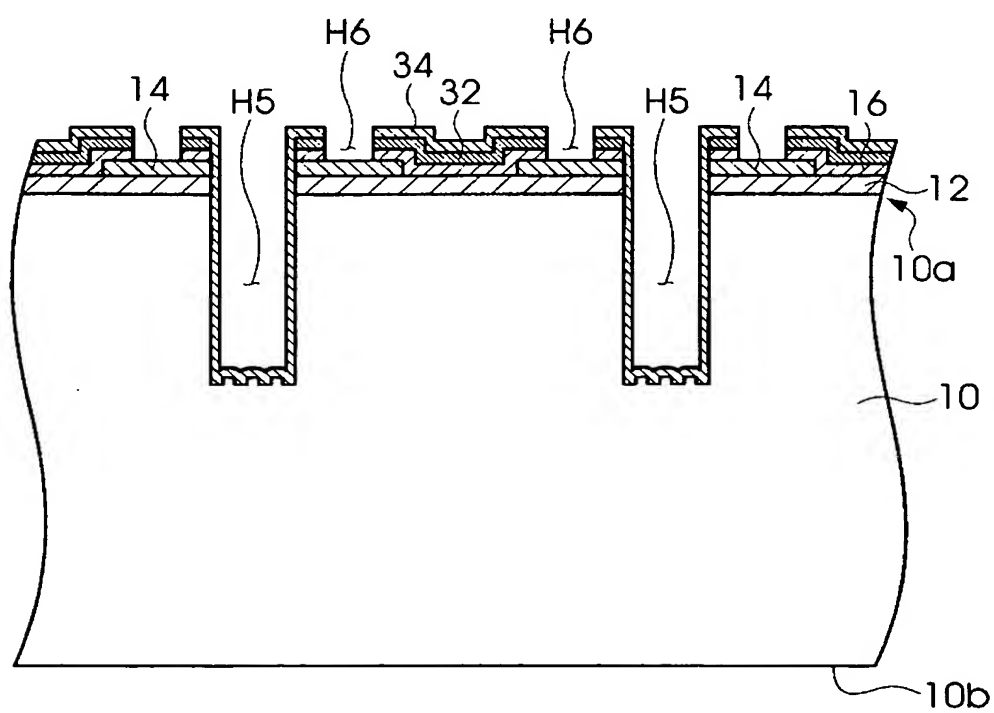


【図10】

(a)

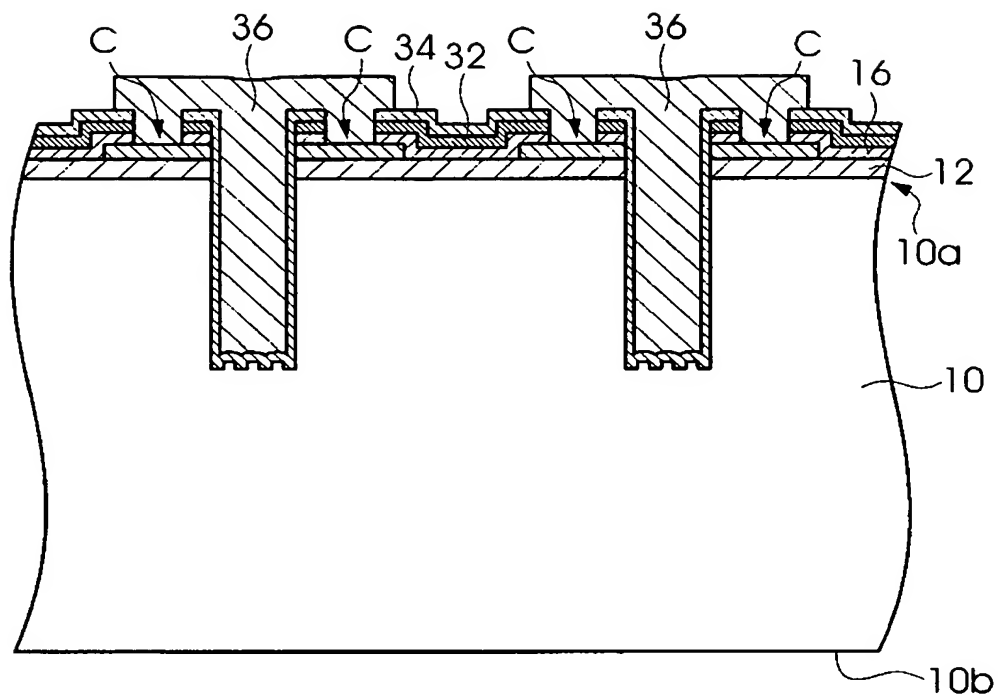


(b)

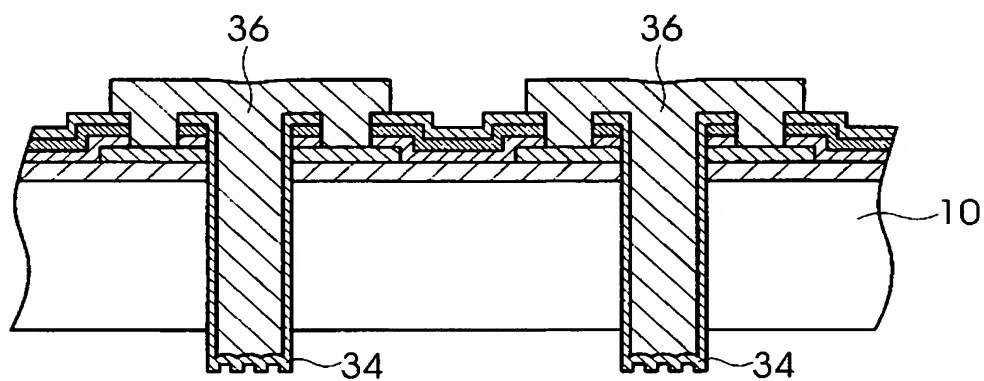


【図 11】

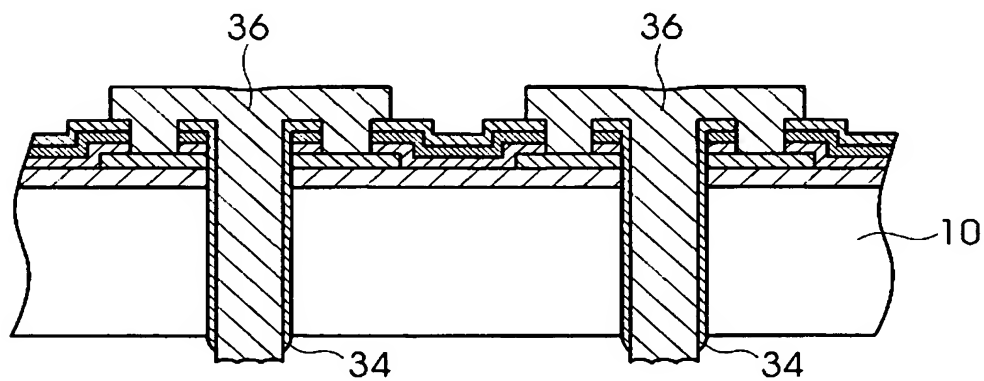
(a)



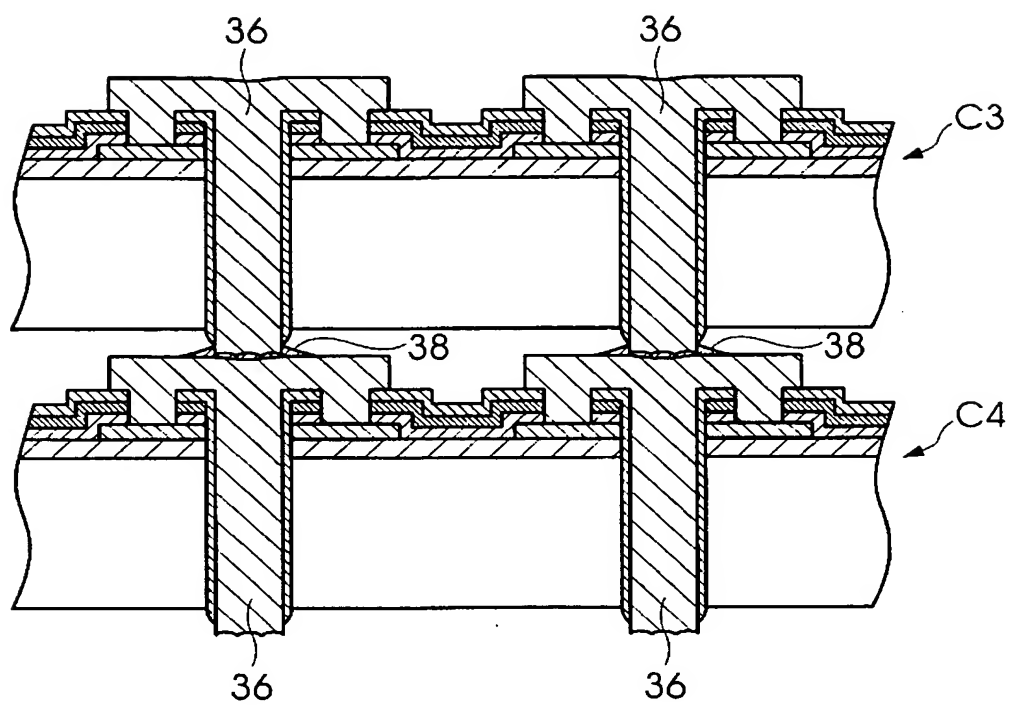
(b)



(c)

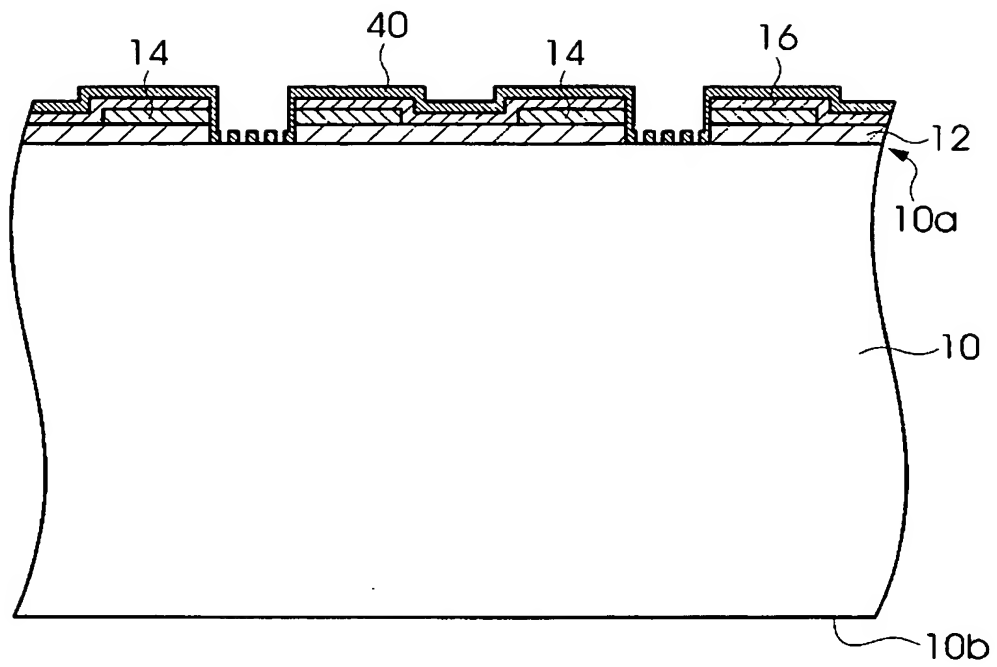


【図 12】

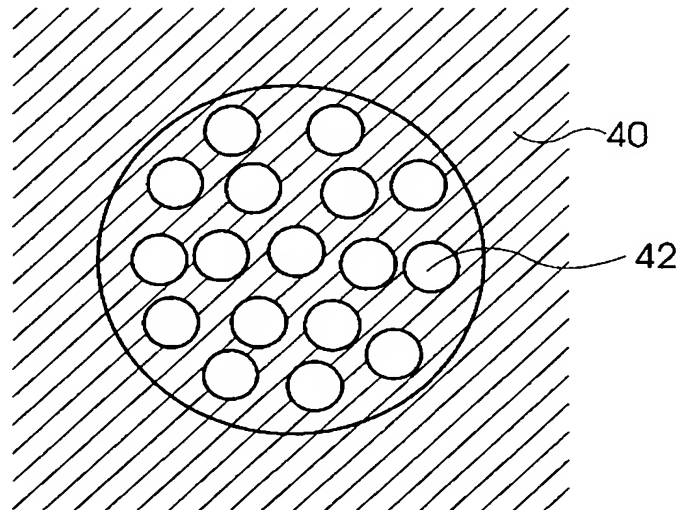


【図 13】

(a)

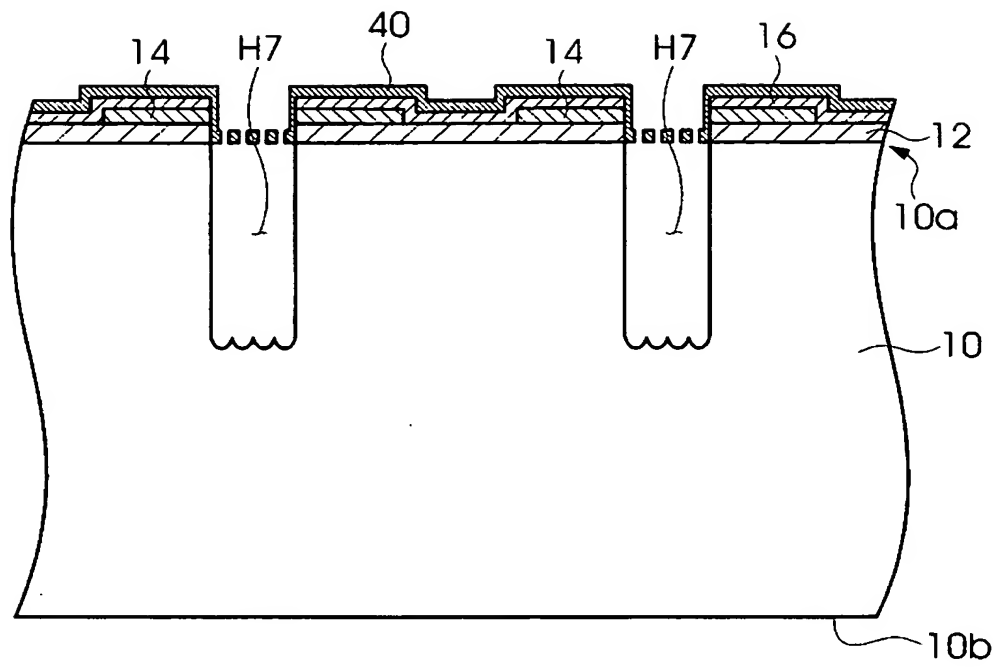


(b)

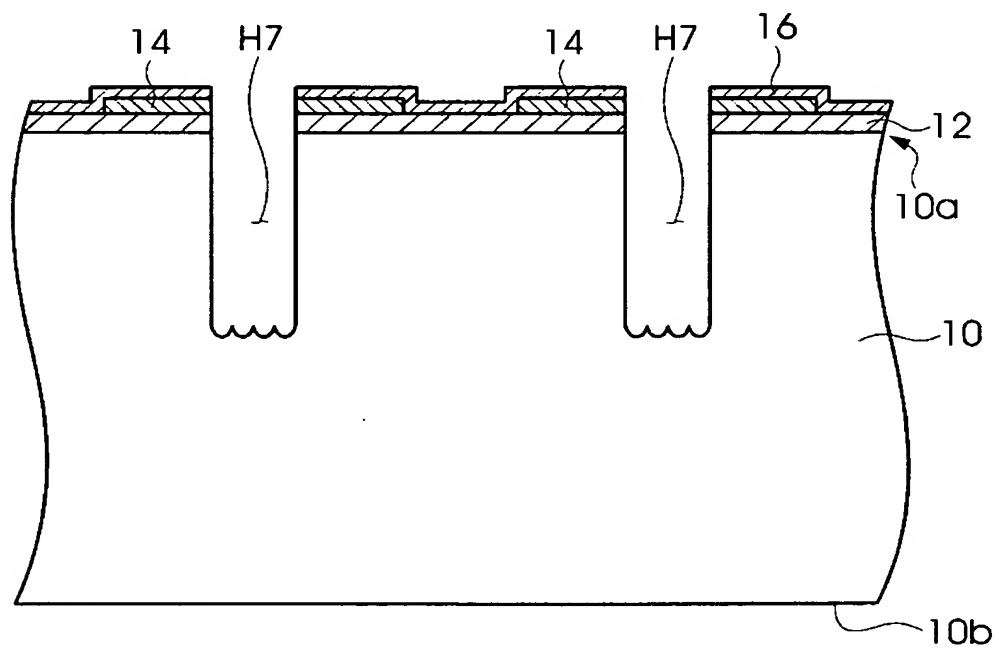


【図 14】

(a)

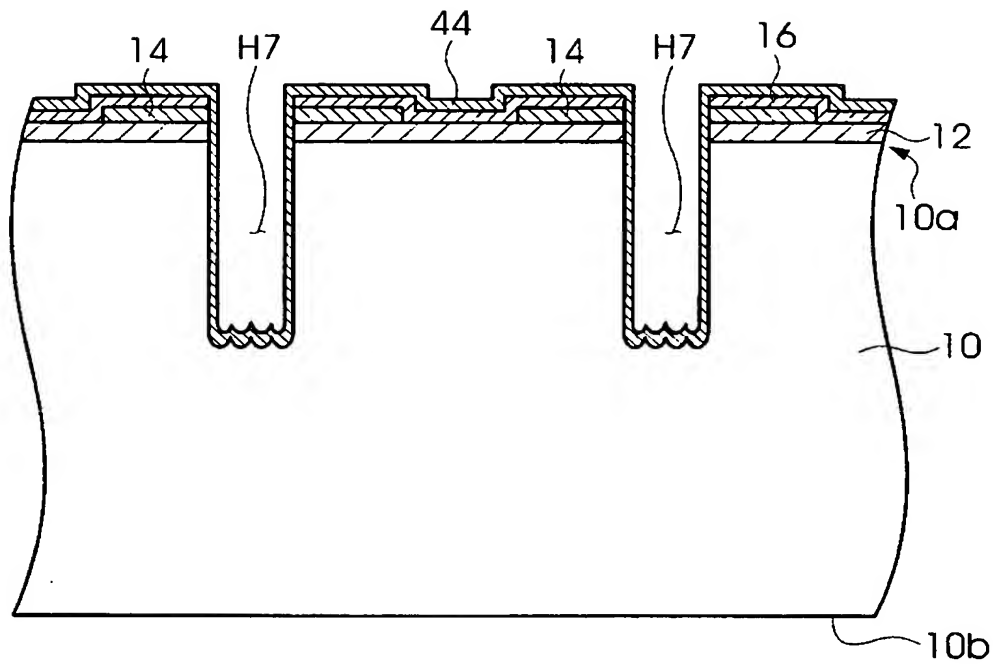


(b)

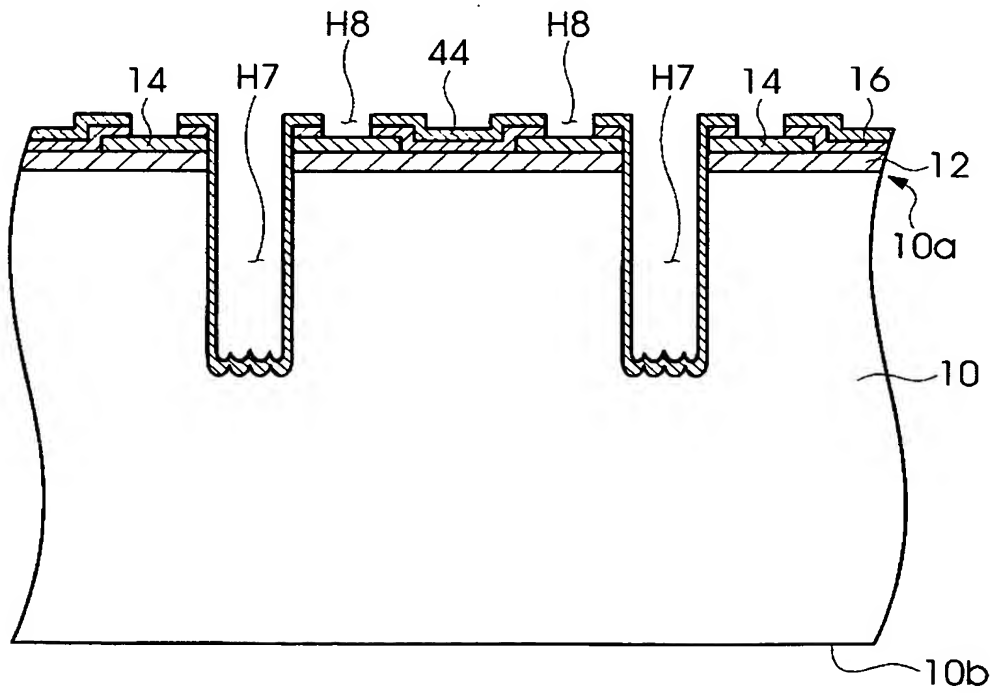


【図 15】

(a)

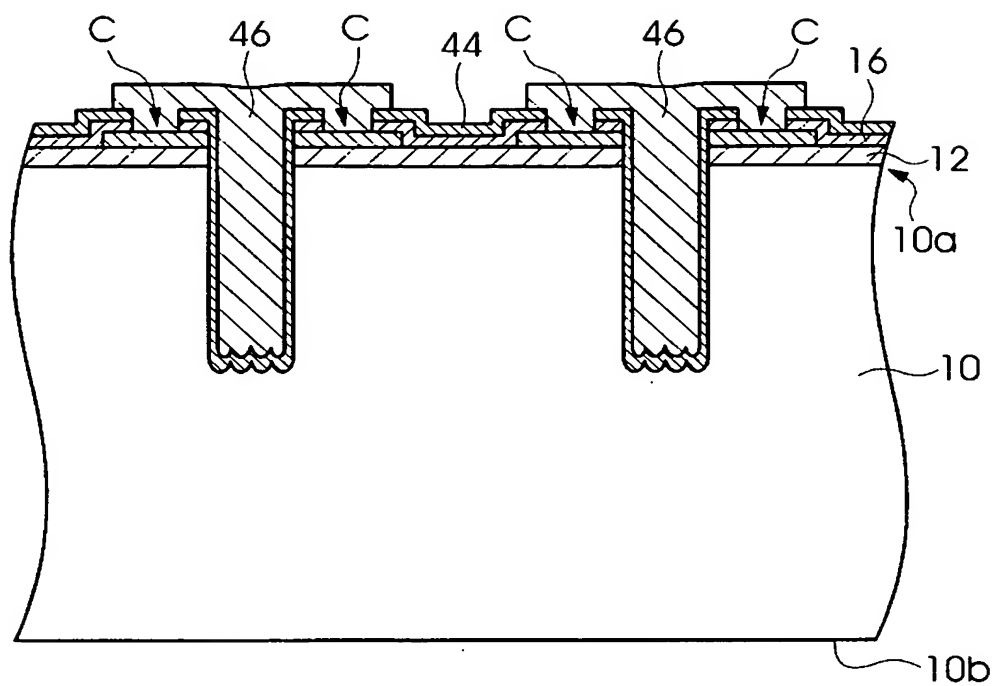


(b)

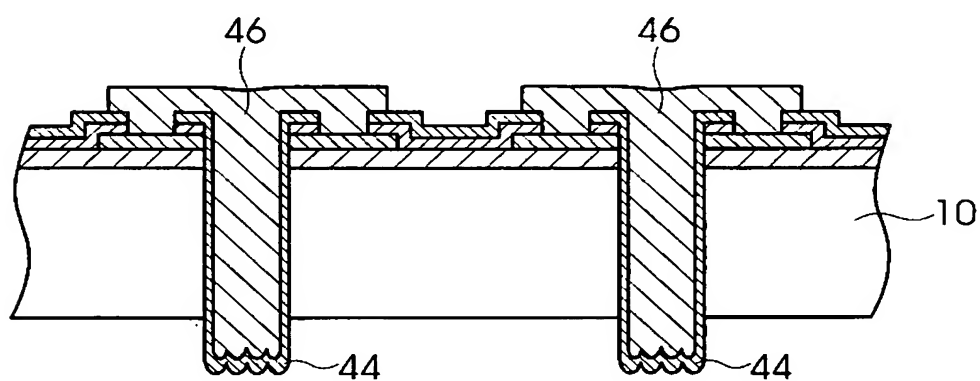


【図 16】

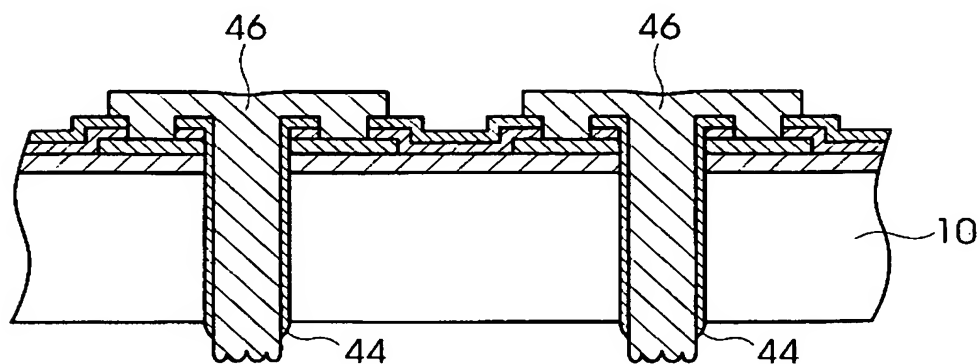
(a)



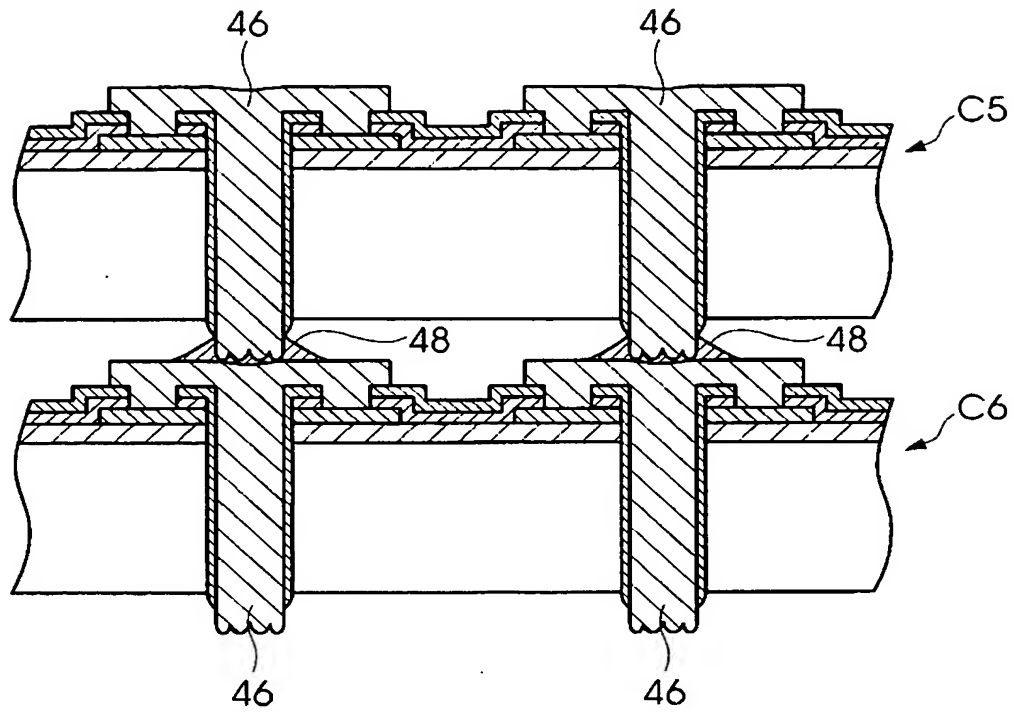
(b)



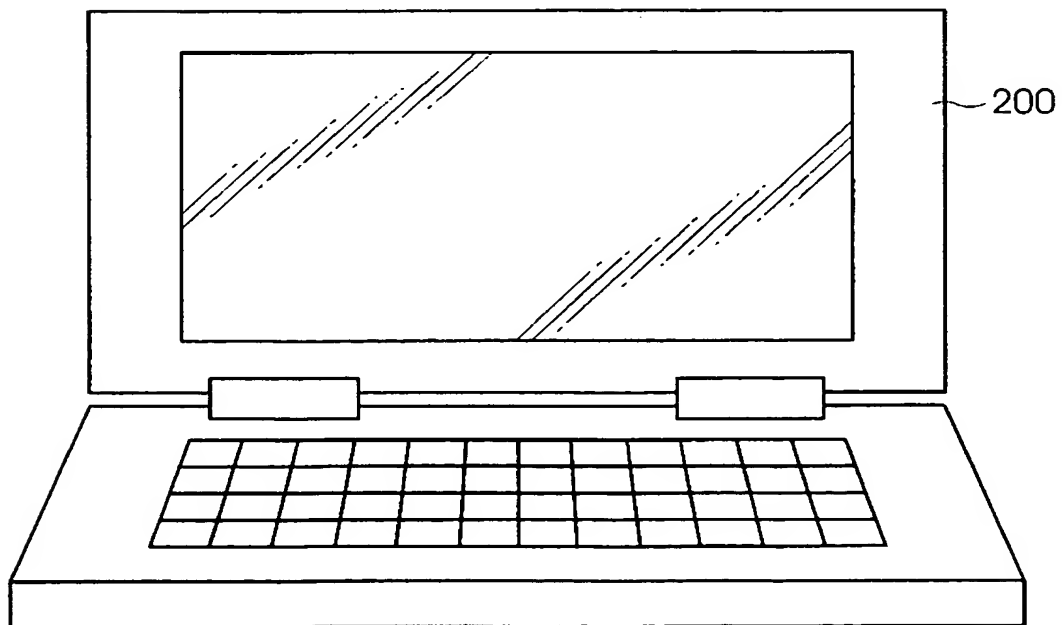
(c)



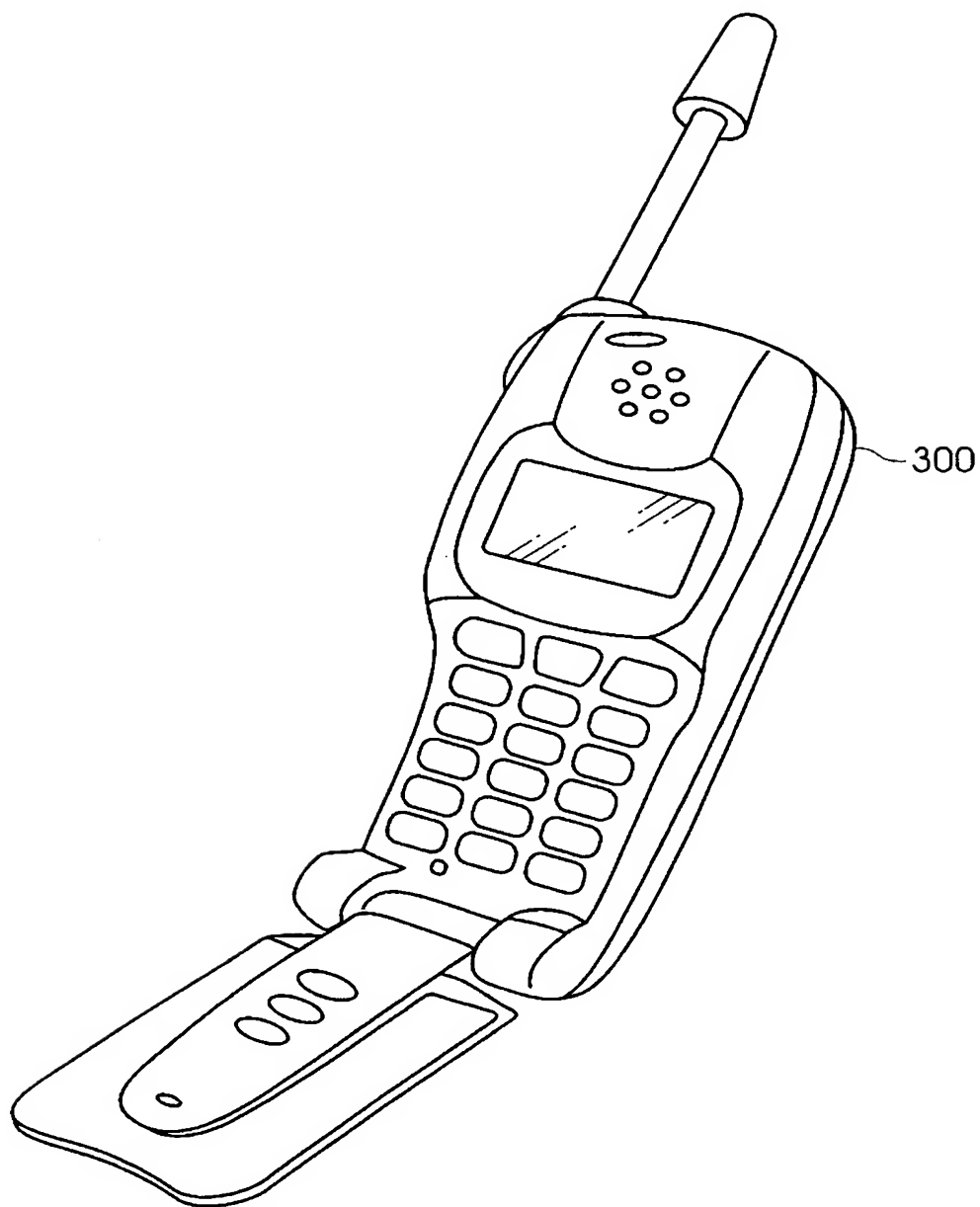
【図 17】



【図 18】



【図 19】



【書類名】 要約書

【要約】

【課題】 積層された半導体チップの接合強度が高く、これにより高い信頼性を確保することができる半導体装置の製造方法及び半導体装置、並びに当該半導体装置を備える電子機器を提供する。

【解決手段】 電子回路が形成された能動面 10a を有する基板 10 を、能動面 10a 側から異方性エッチングによりエッチングし、全体に亘って幅がほぼ同一な孔部 H3 を形成する。次に、孔部 H3 の幅を大きく広げることなく、等方性エッチングにより孔部 H3 の底面を曲面にする。形成した孔部 H3 に金属を埋め込んで接続端子を形成し、基板 10 の裏面をエッチングして埋め込み形成した接続端子の一部を基板 10 の裏面から露出させる。

【選択図】 図 3

認定・付加情報

特許出願の番号	特願 2003-082965
受付番号	50300482609
書類名	特許願
担当官	鈴木 夏生 6890
作成日	平成 15 年 4 月 1 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000002369
【住所又は居所】	東京都新宿区西新宿 2 丁目 4 番 1 号
【氏名又は名称】	セイコーエプソン株式会社

【代理人】 申請人

【識別番号】	100089037
【住所又は居所】	東京都新宿区高田馬場 3 丁目 2 3 番 3 号 OR ビ ル 志賀国際特許事務所
【氏名又は名称】	渡邊 隆

【代理人】

【識別番号】	100064908
【住所又は居所】	東京都新宿区高田馬場 3 丁目 2 3 番 3 号 OR ビ ル 志賀国際特許事務所
【氏名又は名称】	志賀 正武

【選任した代理人】

【識別番号】	100110364
【住所又は居所】	東京都新宿区高田馬場 3 丁目 2 3 番 3 号 OR ビ ル 志賀国際特許事務所
【氏名又は名称】	実広 信哉

次頁無

特願 2 0 0 3 - 0 8 2 9 6 5

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社